DSPマイクロコンピュータ

ADSP-21065L

概要

通信、オーディオ、自動車、計装および工業分野のアプリケーションに最適な高性能シグナル・コンピュータ
スーパー・ハーバード・アーキテクチャ・コンピュータ（SHARC®）
４つの独立したバスによりデュアル・データ、命令、I/Oのフェッチを1サイクルで実行
32ビット固定小数点演算／32ビットおよび40ビット浮動小数点演算
544Kビットの内部SRAMメモリと集積されたI/O周辺部
I²Sサポート、8つの同時受信および送信チャンネル

特長

66 MIPS、最高198 MFローPS、連続132 MFLOPSの演算性能
ユーザーが構成できる544 Kビット内部SRAMメモリ
2つの外部ポートDMAチャンネルと8つのシリアル・ポートDMAチャンネル
低価格外部メモリ（@66 MHz）に直接インターフェースできるSDRAMコントローラ
64 Mワード外部アドレス範囲
プログラム可能な12本のI/Oピンとイベント・キャプチャー・オプションを持った2つのタイマー
ADSP-2106xファミリーとコード互換
208ピン MQFP、196ピンMini-BGAパッケージ
3.3 V電源電圧動作

フレキシブルなデータ・フォーマットと40ビット拡張精度

32ビット単精度および40ビット拡張精度IEEE浮動小数点データ・フォーマット
80ビットの加算器２個を持つ32ビット固定小数点データ・フォーマット、整数および分数

並列演算

1サイクルで乗算とALU演算を並列処理、ふたつのメモリのリード／ライトと命令のフェッチを同時処理
乗算と同時加／減算でFFTバタフライ演算を高速に処理
1024ポイント複素FFTベンチマーク：0.274 ms（18, 221サイクル）

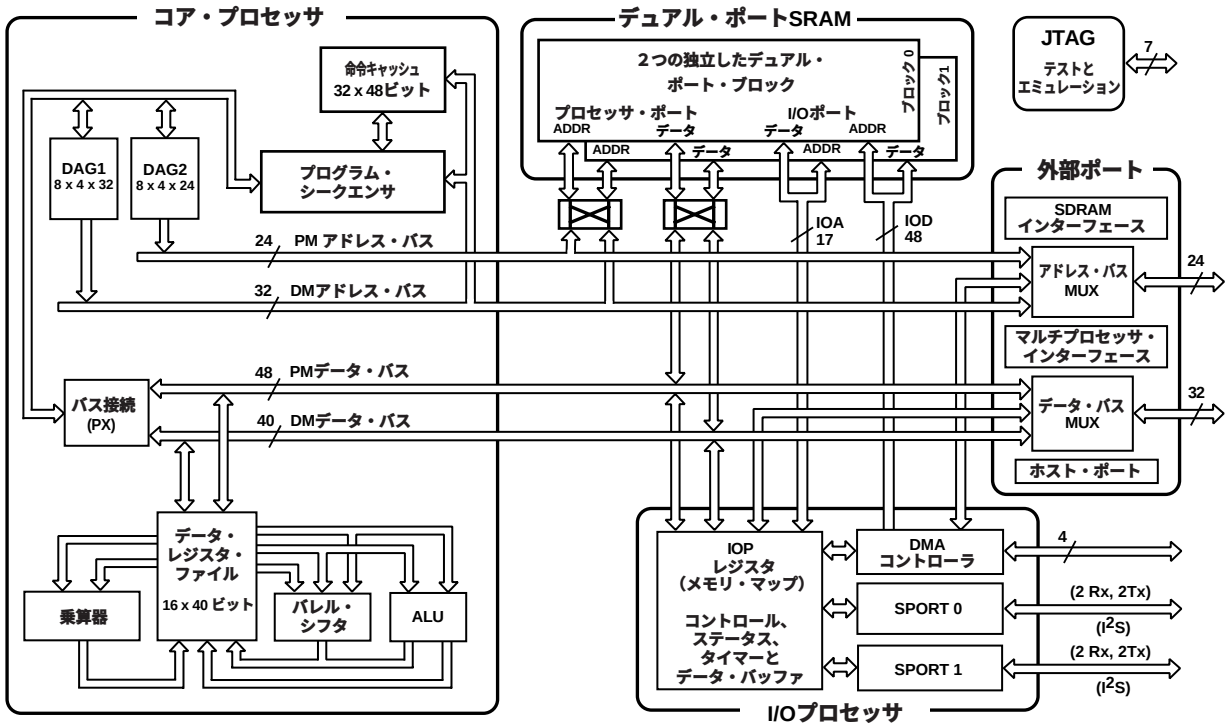


図1．機能ブロック図

*SHARCはアナログ・デバイセズ社の登録商標です。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第3者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

REV.A

アナログ・デバイセズ株式会社

本　　社／東京都港区海岸１－１６－１　電話03（5402）8200　〒105－6891
ニューピア竹芝サウスタワービル
大阪営業所／大阪市淀川区宮原３－５－３６　電話06（6350）6868㈹　〒532－0003
新大阪第２森ビル

構成が変えられる544 Kビットの内部SRAM

コア・プロセッサとDMAが独立してアクセスできる2ポート構成
ブロック0とブロック1で16、32、48ビット長のデータとプログラム・ワードの組み合わせ構成可能

DMAコントローラ

10個のDMAチャンネル：
　外部ポート専用2個、シリアル・ポート専用8個
プロセッサが演算をフルに実行している時も、並行してバック・グラウンドDMA転送を最大66 MHzのレートで実行。
各種のデータ転送：
　内部RAMとホスト間
　内部RAMとシリアル・ポート間
　内部RAMとマスター、またはスレーブSHARC間
　内部RAMと外部メモリ、またはI/Oデバイス間
　外部メモリと外部デバイス間

ホスト・プロセッサ・インターフェース

8、16、32ビットのマイクロプロセッサと効率的なインターフェース
ホストはADSP-21065LのIOPレジスタに直接リード／ライトが可能

マルチプロセッシング

2つのADSP-21065Lとホスト間の並列バス接続を直接行うための専用バス調停回路内蔵
並列バスを介して132 Mバイト／秒の転送レート

シリアル・ポート

独立した送信および受信機能
3～32ビットのシリアル・ワード幅をプログラム可能
I²Sサポートで8つの送信チャンネルと8つの受信チャンネル
工業標準CODECに直接インターフェース
μ則／A則ハードウエア圧縮伸長機能付きのTDMマルチチャンネル・モード
マルチチャンネル信号プロトコル

概要

ADSP-21065Lはコストに厳しいアプリケーションのために最適化された、32ビットプロセッサSHARCファミリーの強力なメンバーです。SHARC（スーパー・ハーバード・アーキテクチャ・コンピュータ）は、現存する32ビットDSPでは最高レベルの性能とメモリ集積度を提供します。また、固定および浮動小数点の両方の機能を、精度や性能を落とさずに提供する唯一のDSPです。

高速で低消費電力のCMOSプロセス、0.35μmテクノロジーで作られたADSP-21065Lは、32ビットDSPでは最高の性能－66 MIPS（198 MFLOPS）を実現。内蔵の命令キャッシュを用いて、すべての命令を１サイクルで実行できます。表ＩにADSP-21065Lの性能を示すベンチマークを示します。

ADSP-21065L SHARCは、浮動小数点DSPをコアに、544 KビットのSRAMメモリやホスト・プロセッサとのインターフェース、DMAコントローラ、SDRAMコントローラ、強化されたシリアル・ポートなどを集積しています。

図1はADSP-21065Lのブロック図で、以下のような機能が示されています。

共用のデータ・レジスタ・ファイルを持つ演算ユニット（ALU、乗算器、シフタ）
データ・アドレス・ジェネレータ（DAG1、DAG2）
命令キャッシュとプログラム・シークエンサ
イベント・キャプチャ・モードを持ったタイマー
内部デュアル・ポートSRAM
外部メモリや周辺素子とインターフェースするための外部ポート
ホスト・ポートとSDRAMインターフェース
DMAコントローラ
強化されたシリアル・ポート
JTAGテスト・アクセス・ポート

表Ｉ．性能ベンチマーク

ベンチマーク	演算時間	サイクル数
サイクル時間	15.00 ns	1
1024ポイント複素FFT		
（4基底、デジット・リバース）	0.274 ms	18, 221
行列の乗算（パイプライン）		
[3×3] × [3×1]	135 ns	9
[4×4] × [4×1]	240 ns	16
FIRフィルタ（タップ当り）	15 ns	1
IIRフィルタ（バイクワッド当り）	60 ns	4
割り算（Y/X）	90 ns	6
平方根の逆数（1/√x）	135 ns	9
DMA転送レート	264 Mバイト／秒	

ADSP-21000ファミリー・コア・アーキテクチャ

ADSP-21065LはADSP-21060/ADSP-21061/ADSP-21062とコード、機能において互換です。ADSP-21065LはSHARCファミリー・コアの以下の様な機能を備えています。

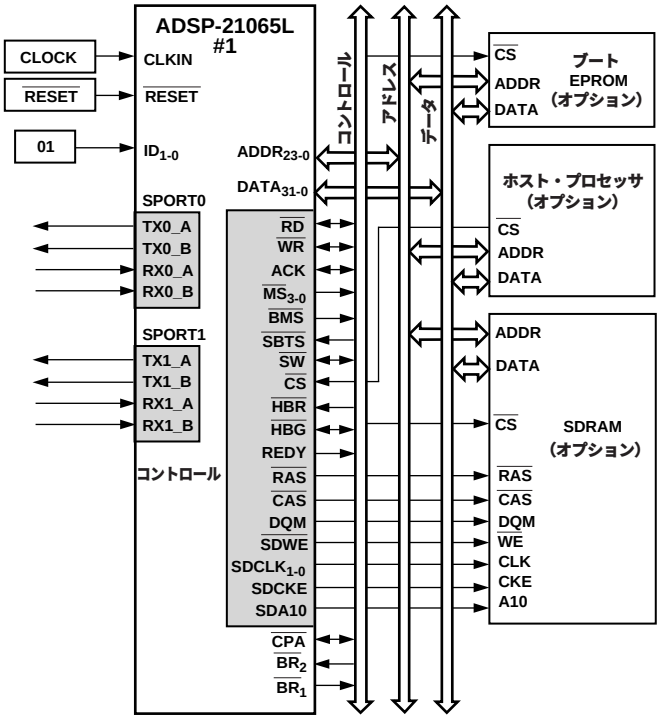


図2．ADSP-21065Lシングル・プロセッサ・システム

独立して並列に配置された演算ユニット

算術/論理ユニット（ALU）、乗算器、シフタはすべて1サイクルの命令で動作します。3つのユニットは並列に配置され、演算のスループットを最大にしています。ひとつのマルチ機能命令よってALUと乗算器の操作を並行して行えます。演算ユニットはIEEE 32ビット単精度浮動小数点、拡張精度40ビット浮動小数点、そして32ビット固定小数点データ・フォーマットを扱うことができます。

データ・レジスタ・ファイル

汎用のデータ・レジスタ・ファイルを使って、演算ユニットとデータ・バス間のデータ転送や中間演算結果の保持が行えます。この10ポート、32個のレジスタ（表16個、裏16個）で構成されるレジスタ・ファイルとADSP-21000のハーバード・アーキテクチャが組み合わせられて、演算ユニットと内部メモリ間の自由なデータの流れを実現しています。

命令と2つの演算データを1サイクルでフェッチ

ADSP-21065Lは、データ・メモリ（DM）バスでデータの転送を行い、プログラム・メモリ（PM）バスで命令とデータの両方を転送するという、強化されたスーパー・ハーバード・アーキテクチャ構成になっています（図1参照）。プログラム・メモリ・バスとデータ・メモリ・バスの分離と、内蔵の命令キャッシュにより、2つの演算データと（キャッシュからの）命令を1サイクルで同時にフェッチすることができます。

命令キャッシュ

ADSP-21065Lは命令キャッシュを内蔵しており、1つの命令と2つのデータを扱う3バス動作が可能です。このキャッシュは選択的に使用され、PMバスのデータ・アクセスと命令のフェッチとがバスの競合を起こす時にのみ、命令をキャッシュします。これによりデジタル・フィルタの乗累算やFFTのバタフライ演算のように中心的な繰り返し処理を最高速で実行できます。

ハードウエア上でサーキュラ・バッファを構成できるデータ・アドレス・ジェネレータ

ADSP-21065Lの2つのデータ・アドレス・ジェネレータ（DAGs）は、サーキュラ・データ・バッファをハードウエアで実現しています。サーキュラ・バッファはデジタル信号処理で要求される、遅延ラインやその他のデータ構造の効果的なプログラミングを可能にし、デジタル・フィルタやフーリエ変換等でよく使用されます。ADSP-21065Lの2つのDAGは、最高で32個（16の表レジスタのセットと16個の裏レジスタのセット）のサーキュラ・バッファを構成できるレジスタを持っています。このDAGは自動的にアドレス・ポインタの巻き戻しを行い、オーバーヘッドを減らし、性能を向上させ、実行を簡単にします。サーキュラ・バッファは、どのメモリ位置からでも開始、終了できます。

柔軟性に富んだ命令セット

48ビットの命令ワードは各種の並列操作を許し、簡潔なプログラミングが可能です。例えば、ADSP-21065Lは乗算や加算、減算、分岐等のすべてを、条件によっては1つの命令で処理できます。

ADSP-21065Lの特長

ADSP-21065Lは最大のシステム性能を実現するために最高のシステム・スループットが得られるように設計されており、クリスタルまたはTTL互換のクロック信号によって駆動できます。ADSP-21065Lは命令レートの半分の周波数の入力クロックを使います。つまり、33 MHz入力クロックで15 nsのプロセッサ・サイクル（これは66 MHzに等しい）が得られます。ADSP-21065Lのインターフェースは以下に示すように動作します。このデータシートでは、1x＝入力クロック周波数、2x＝プロセッサの命令レートを示します。

下記のクロック動作レートは 1x＝33 MHz（命令レート／コア＝66 MHz）を基準にしています。

SDRAM	66 MHz
外部SRAM	33 MHz
シリアル・ポート	33 MHz
マルチプロセッシング	33 MHz
ホスト（非同期）	33 MHz

ADSP-21000ファミリー・コアに加えて、ADSP-21065Lでは以下のようなアーキテクチャ機能を持っています。

デュアル・ポートの内部メモリ

ADSP-21065Lは２バンク構成の544 KビットのSRAMメモリを内蔵しています。バンク0は288 Kビット、バンク1は256 Kビットです。バンク0は2 K×16ビットが9列、バンク1は2 K×16ビットが8列で構成されています。各メモリ・ブロックはデュアル・ポートになっていて、コア・プロセッサとI/Oプロセッサまたは DMAコントローラによる独立したアクセスに1サイクルで対応します。このデュアル・ポート・メモリと分離した内部バスによって、コアからとI/Oからの、２つのデータ転送を1サイクルで行えます（ADSP-21065Lのメモリ・マップは図4を参照）。

ADSP-21065Lでは、メモリは最大で16 Kワードの32ビット・データ、34 Kワードの16ビット・データ、10Kワードの48ビット命令（そして40ビット・データ）等に構成できます。また、最大544 Kビットまでの異なったビット幅のワードの組合わせも可能です。すべてのメモリは16ビット、32ビット、または48ビットのワードでアクセスできます。

各メモリ・ブロックはコードとデータを混合して保持できますが、もっとも効率的にアクセスできるのは、ひとつのブロックをDMバスを使用したデータ保持に、もうひとつのブロックをPMバスを使用した命令やデータの保持に割り当てる場合です。このようにDMバスとPMバスを各メモリ・ブロックに専用に割り当てることにより、1サイクルで2つのデータ転送が可能になります。この場合、命令はキャッシュの中に用意されていなければなりません。1サイクルでの実行は、一方のデータがADSP-21065Lの外部ポートを使用して外部と転送している場合にも可能です。

外部メモリと周辺素子へのインターフェース

ADSP-21065Lの外部ポートは、外部メモリや周辺素子へのインターフェースになります。ADSP-21065Lの統一されたアドレス空間には64Mワードの外部アドレス空間が含まれています。PMアドレス・バス、PMデータ・バス、DMアドレス・バス、DMデータ・バス、I/Oアドレス・バス、I/Oデータ・バスと分けられている内部バスは、外部ポートでマルチプレクスされて、１本の24ビット・アドレス・バスと4本のメモリ・セレクト、１本の32ビット・データ・バスによる外部システム・バスを生成します。内部のスーパー・ハーバード・アーキテクチャにより3バス動作が可能で、外部の統一されたアドレス空間は設計の自由度を向上させます。

SDRAMインターフェース

SDRAMインターフェースは、ADSP-21065Lと同期DRAM（SDRAM）との2xクロック周波数でのデータのやりとりを可能にします。2xクロック周波数での同期式アプローチは、220 Mバイト／秒までの高スループットでのデータ転送をサポートします。

SDRAMインターフェースは標準のSDRAM（16 Mb、64 Mb、128 Mb）との直接インターフェースを提供し、ADSP-21065LとSDRAMの間の付加的バッファをサポートするオプションも含んでいます。SDRAMインターフェースは非常に柔軟性に富み、SDRAMはADSP-21065Lの4つの外部メモリ・バンクのどれにでも接続できます。

いくつかのSDRAMデバイスが並列に接続されているシステムでは、全体でのタイミング要求に適応するためにバッファリングが必要なことがあります。ADSP-21065Lはアドレスとコントロール信号のパイプライン処理をサポートして、自分自身と複数のSDRAMデバイスとの間のバッファリングを可能にしています。

ホスト・プロセッサ・インターフェース

ADSP-21065Lのホスト・インターフェースは、ほとんど付加ハードウエアを必要とせずに8ビット、16ビット、32ビットの標準マイクロプロセッサ・バスに簡単に接続できます。プロセッサの入力クロック・レートまでの非同期転送ができるホスト・インターフェースは、ADSP-21065Lの外部ポートを通してアクセスされます。ホスト・インターフェースのために2チャンネルのDMAが使用でき、コードやデータの転送は低いソフトウエア・オーバーヘッドで行えます。

ホスト・プロセッサはホスト・バス・リクエスト（$\overline{HBR}$）、ホスト・バス・グラント（$\overline{HBG}$）、レディ（REDY）信号を使ってADSP-21065Lの外部バスに要求を送ります。ホストはADSP-21065LのIOPレジスタを直接、読み書きでき、DMAチャンネルのセットアップやメイルボックス・レジスタにアクセスできます。ホスト・コマンドを効果的に実行できるように、ベクトル割込みサポートが用意されています。

DMAコントローラ

ADSP-21065Lの内部DMAコントローラによって、プロセッサを介在せずに、オーバーヘッド無しのスムーズなデータ転送が可能です。DMAコントローラは独立して動作し、プロセッサ・コアからその動作が見えないので、コアがプログラム命令を実行しているのと同時にDMA操作を行うことができます。

DMA転送はADSP-21065Lの内部メモリと、外部メモリや外部周辺素子、またはホスト・プロセッサとの間で行われます。DMA転送はまた、ADSP-21065Lの内部メモリとシリアル・ポートの間でも実行できます。外部メモリと外部周辺素子の間のDMA転送も行えます。16、32、48ビット内部ワードへの外部バス・パッキングが、DMA転送中に行われます。

ADSP-21065Lには10チャンネルのDMAチャンネルが用意されています。8チャンネルがシリアル・ポート経由、2チャンネルがプロセッサの外部ポート（ホスト・プロセッサや他のADSP-21065L、メモリあるいはI/O転送）経由です。DMA転送を使ってADSP-21065Lにプログラムをダウンロードできます。DMAリクエスト／グラント信号線（$\overline{DMAR}_{1\text{-}2}$、$\overline{DMAG}_{1\text{-}2}$）を使って、非同期の外部周辺素子から2つのDMAチャンネルをコントロールできます。他にも、DMA転送が完了した時に割込みを発生したり、自動リンクDMA転送のためのチェイニング機能等が用意されています。

シリアル・ポート

ADSP-21065Lは2つの同期式シリアル・ポートを持ち、広範囲なデジタルおよびミックスド・シグナル周辺機器との安価なインターフェースを提供します。シリアル・ポートは1xクロック周波数で動作可能で、各ポートは最大で30 Mビット／秒のデータ・レートが可能です。各シリアル・ポートは、表と裏の送受信チャンネルセットを持ちます。送信と受信の機能が独立していますので、柔軟性に富んだシリアル通信が行えます。シリアル・ポートのデータはDMAを介して、内部メモリと自動的にやり取りできます。各シリアル・ポートは、DSPシリアル・ポート・モード、I^2Sモード（オーディオCODECで良く使われるインターフェース）、TDM（時分割マルチプレクス）マルチチャンネル・モードの3つのモードをサポートしています。

シリアル・ポートは下位ビットからでも上位ビットからでも転送フォーマットを操作でき、ワードの長さも3から32ビットの間で選択できます。選択的同期や送信モードも提供し、オプションとしてμ則やA則の圧縮伸長も行えます。シリアル・ポートのクロックやフレーム同期信号は内部での生成も、外部からの供給も可能です。さらに、プロセッサ間の通信を強化するキーワードおよびキーマスク機能も含んでいます。

プログラマブル・タイマーと汎用I/Oポート

ADSP-21065Lは二つの独立したタイマー・ブロックを持ち、それぞれパルス幅生成とパルス・カウントおよびキャプチャを行います。

パルス幅生成モードでは、ADSP-21065Lは最大で71.5秒までの周期で任意のパルス幅の変調波形を生成できます。

パルス・カウンター・モードでは、ADSP-21065Lはハイ・レベルまたはロー・レベルのパルス幅と入力波形の周期を計測できます。

ADSP-21065Lは入／出力のどちらにも使える、12本のプログラマブルな汎用I/Oピンを持ちます。出力ピンとしては周辺デバイスへの信号線に、入力ピンとしては条件分岐のテスト条件に使えます。

プログラムのブート

システムのパワーアップ時、ADSP-21065Lの内部メモリは、8ビットのEPROMやホスト・プロセッサ、外部メモリ等からブートすることができます。ブート源の選択は、$\overline{BMS}$（ブート・メモリ・セレクト）ピンとBSEL（EPROMブート）ピンでコントロールされます。8、16、32ビットのホスト・プロセッサもブートに使用できます。詳細については、データシートの「ピンの説明」の$\overline{BMS}$とBSELの記述を参照してください。

マルチプロセッシング

ADSP-21065Lはマルチプロセッシング DSPシステムに最適な強力な機能を備えています。統一されたアドレス空間によって、2つのADSP-21065LのIOPレジスタへのプロセッサ間の直接アクセスが可能です。最大で2つのADSP-21065Lとひとつのホスト・プロセッサを含んだシステムをシンプルに、直接接続するために、専用のバス調停回路が内蔵されています。マスター・プロセッサの交替には、1サイクルのオーバーヘッドを必要とするだけです。バス・ロックによって、セマフォー（信号機）用の不可分な読み出し－更新－書き込みシークエンスを行えます。プロセッサ間のコマンドのためにベクトル割込みが用意されています。プロセッサ間のデータ転送の最大のスループットは、外部ポートを使って132Mバイト／秒です。

開発支援ツール

ADSP-21065Lには、EZ-ICE®イン・サーキット・エミュレータと開発ソフトウエアを含む、ソフトウエア、ハードウエアの完全な開発ツールが用意されています。

ADSP-21060/ADSP-21062用に使っているのと同じEZ-ICEハードウエアで、ADSP-21065Lを完全にエミュレートできます。

SHARC開発ツール・ファミリーと、プロジェクト管理機能やデバッグ環境を備えたVisualDSP®の両方ともにADSP-21065Lをサポートしています。VisualDSPプロジェクト管理環境は、ひとつの集積されたプログラムからのアプリケーション開発とデバッグを可能にします。

SHARC開発ツールには、算術的表記を基にした使いやすいアセンブラをはじめとして、アセンブリ・ライブラリ／ライブラリアン、リンカ、ローダー、サイクル数が正確にわかるインストラクション・レベルのシミュレータ、Cコンパイラ、DSP関数や算術関数を含んだCランタイム・ライブラリ等があります。

VisualDSPデバッガによるCおよびアセンブリ・プログラムの両方のデバッグでは、以下のことが行えます。

- Cおよびアセンブリ・コードの混合表示
- ブレイク・ポイントの挿入
- ウォッチ・ポイントの設定
- バス動作のトレース
- プログラム実行の履歴
- メモリへの読み書き
- オリジナルのデバッガ・ウインドウの生成

Visual IDEで、マルチユーザー・プロジェクトの定義や管理が行えます。Visual IDEのダイアログ・ボックスとプロパティ・ページにより、SHARC開発ツールのすべてを構成し管理できます。この機能によって、以下のことが可能になります。

・開発ツールが入力を処理し出力を生成する方法をコントロール

・ツールのコマンドライン・スイッチとの1対1の対応を維持

EZ-ICE®エミュレータは、ターゲット・ボートのプロセッサをエミュレーション中にモニターしたりコントロールするのに、ADSP-21065Lプロセッサの IEEE1149.1JTAGテスト・アクセス・ポートを使用します。EZ-ICEはフル・スピードでのエミュレーションが可能で、メモリやレジスタ、プロセッサ・スタックの検査や更新ができます。プロセッサのJTAGインターフェースを使うことで、動作を妨げないインサーキット・エミュレーションが保証され、エミュレータによってターゲット・システムの負荷やタイミングが影響を受けることはありません。

アナログ・デバイセズ社から入手できるソフトウエアやハードウエアの開発支援ツールに加えて、サード・パーティからもSHARCプロセッサ・ファミリーをサポートする、さまざまなツールが用意されています。SHARC PCプラグ・イン・カードやマルチプロセッサ・SHARC VMEボード、それに複数のSHARCや拡張メモリを載せたドーターボード等が、ハードウエアとして提供されています。これらのモジュールはSHARCPAC™モジュール規定に基づいています。サード・パーティによるソフトウエアのツールには、ADAコンパイラやDSPライブラリ、オペレーティング・システム、ブロック図設計ツール等があります。

付加情報

ADSP-21065Lインストラクション・セットやアーキテクチャに関しての、より詳細な情報は「ADSP-21065L　SHARCユーザーズ・マニュアル 第３版」と「ADSP-21065L SHARCテクニカル・リファレンス」を参照してください。

EZ-ICEおよびVisualDSPはアナログ・デバイセズ社の登録商標です。SHARCPACはアナログ・デバイセズ社の商標です。

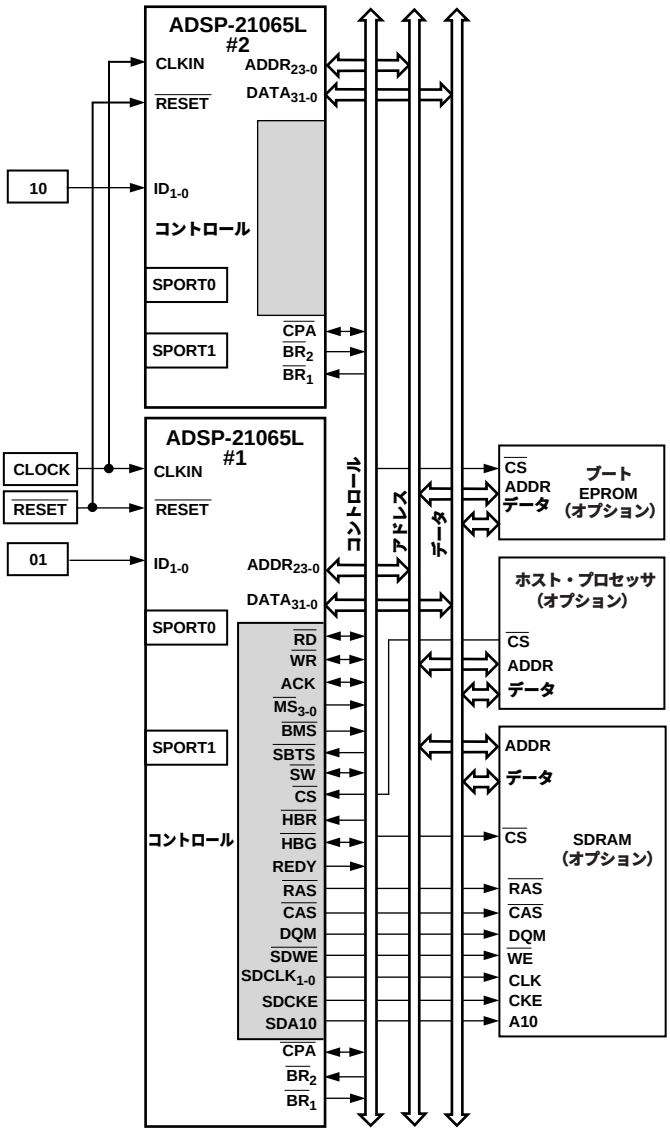


図３．マルチプロセッシング・システム

ピンの説明

ADSP-21065Lのピンの定義を以下に示します。同期（S）と示されている入力は、CLKIN（TMSやTDIではTCK）に対応するタイミング要求を満たしていなければなりません。非同期（A）と示されている入力は、CLKIN（TRSTではTCK）に同期せずに入力してもかまいません。

使用しない入力は、$ADDR_{23-0}$、$DATA_{31-0}$、$FLAG_{11-0}$、SWおよび、内部プルアップ、プルダウン抵抗を持つ入力（CPA、ACK、DTxX、DRxX、TCLKx、RCLKx、TMSとTDI）を除き、VDDかGNDに接続しておきます。上記で除いたピンは開放したままにしておきます。これらのピンはロジック・レベル保持回路を持ち、入力が内部的にフローティングになるのを防ぎます。

I=入力　S=同期　P=電源　（O/D）=オープン・ドレイン
O=出力　A=非同期　G=グラウンド　（A/D）=アクティブ・ドライブ
T=スリーステート（SBTSが与えられたとき、またはADSP-2106xがバス・スレーブの時）

ピン	タイプ	機能
$ADDR_{23-0}$	I/O/T	**外部バス・アドレス。**ADSP-21065Lは、このピンから外部メモリや周辺素子にアドレスを出力します。マルチプロセッサ・システムにおいては、バス・マスターが他のADSP-21065LのIOPレジスタの読み書きのためのアドレスを出力します。ホスト・プロセッサやマルチプロセッシングのバス・マスターがIOPレジスタを読み書きしている時、そのADSP-21065Lのアドレスは入力となります。
$DATA_{31-0}$	I/O/T	**外部バス・データ。**ADSP-21065Lは、このピンからデータや命令を入出力します。外部データ・バスは、32ビット単精度浮動小数点データと32ビット固定小数点データをビット31-0を使って転送します。16ビットのショート・ワードは、バスのビット15-0を使って転送されます。使用していないDATAピンにプルアップ抵抗を使う必要はありません。
$\overline{MS}_{3-0}$	I/O/T	**メモリ・セレクト。**対応する外部メモリのバンクのチップ・セレクトとして使われます。内部アドレス$ADDR_{25-24}$がデコードされて$\overline{MS}_{3-0}$になります。$\overline{MS}_{3-0}$線はデコードされたメモリ・アドレス線で、他のアドレス線と同時に変化します。外部メモリへのアクセスが起こらないときは、$\overline{MS}_{3-0}$は動作しません。しかし、条件付きのメモリ・アクセス命令が実行されると、その条件の真偽にかかわらず、$\overline{MS}_{3-0}$は動作します。さらに、SDRAMにマッピングされている$\overline{MS}_{3-0}$も、SDRAMアクセスがアクティブでなくても動作することがあります。マルチプロセッサ・システムにおいては、$\overline{MS}_{3-0}$線はバス・マスターによって出力されます。
$\overline{RD}$	I/O/T	**メモリ読み出しストローブ。**ADSP-21065Lが、外部メモリ・デバイスや他のADSP-21065LのIOPレジスタから読み出しを行うときに使われます。（他のADSP-21065Lを含めて）外部デバイスは、ADSP-21065LのIOPレジスタから読み出すときは、$\overline{RD}$を使用しなければなりません。マルチプロセッサ・システムでは、$\overline{RD}$はバス・マスターによって出力され、他のADSP-21065Lによって入力されます。
$\overline{WR}$	I/O/T	**メモリ書き込みストローブ。**ADSP-21065Lが、外部メモリ・デバイスや他のADSP-21065LのIOPレジスタに書き込みを行うときに使われます。外部デバイスがADSP-21065LのIOPレジスタに書き込むときは、$\overline{WR}$を使用しなければなりません。マルチプロセッサ・システムでは、$\overline{WR}$はバス・マスターによって出力され、他のADSP-21065Lによって入力されます。
$\overline{SW}$	I/O/T	**同期書き込みセレクト。**ADSP-21065Lが（他のADSP-21065Lも含めて）同期式メモリ・デバイスとインターフェースするのに使われます。ADSP-21065Lは、差し迫った書き込みサイクルを早期に知らせるために$\overline{SW}$を使用します。この書き込みは、（例えば、条件付き書き込み命令等で）$\overline{WR}$が後で与えられなければ中止されます。マルチプロセッサ・システムでは、$\overline{SW}$はバス・マスターによって出力され、他のADSP-21065Lによって入力され、マルチ・プロセッサ・アクセスが読み出しか書き込みかを決定します。$\overline{SW}$はアドレス出力と同時に出力されます。
ACK	I/O/S	**メモリ・アクノレッジ。**外部デバイスはACKをローにすることで、外部メモリ・アクセスにウエイトを加えることができます。ACKは、I/Oデバイスやメモリ・コントローラ、その他の周辺素子等が外部メモリ・アクセスを遅らせるために使われます。ADSP-21065Lは、IOPレジスタの同期アクセスにウエイトを加えるためにACKをローにします。マルチプロセッサ・システムでは、スレーブのADSP-21065Lはバス・マスターのACK入力をローにして、そのIOPレジスタのアクセスにウエイトを挿入します。バス・マスターはACKピンにキーパー・ラッチを持ち、最後に与えられた入力レベルを保ちます。
$\overline{SBTS}$	I/S	**延長バス・スリーステート。**外部デバイスは$\overline{SBTS}$をローにすることで、外部バス・アドレス、データ、セレクト信号、各ストローブ（ただしSDRAMコントロール・ピンは除く）を次のサイクルまでハイ・インピーダンス状態に保ちます。もし、ADSP-21065Lが$\overline{SBTS}$使用時に外部メモリにアクセスしようとすると、プロセッサは$\overline{SBTS}$が解除されるまで停止し、メモリ・アクセスは終了しません。$\overline{SBTS}$は、ホスト・プロセッサ／ADSP-21065Lのデッドロックからの復帰にのみ使用してください。
$\overline{IRQ}_{2-0}$	I/A	割込み要求ライン。エッジ検出でもレベル検出でも使えます。
$FLAG_{11-0}$	I/O/A	フラッグ・ピン。各ピンはコントロール・ビットを介して、入力にも出力にも設定できます。入力としては、条件判断の条件として使用できます。出力としては、外部周辺素子への信号として使えます。

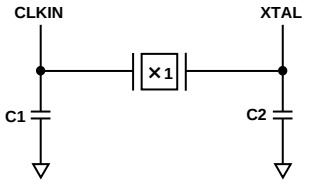
ピン	タイプ	機能
$\overline{HBR}$	I/A	**ホスト・バス・リクエスト。**ADSP-21065Lの外部バスのコントロールを要求するために、ホストから与えられます。マルチプロセッシング・システムで$\overline{HBR}$が与えられると、バス・マスターのADSP-21065Lはバスを放棄して$\overline{HBG}$を出力します。バスを放棄するために、ADSP-21065Lはアドレス、データ、セレクト、ストローブをハイ・インピーダンス状態にしますが、SDRAMコントロール・ピンはドライブし続けます。マルチプロセッサ・システムでは、$\overline{HBR}$はすべてのADSP-21065Lのバス・リクエスト（$\overline{BR}_{2-1}$）に優先します。
$\overline{HBG}$	I/O	**ホスト・バス・グラント。**$\overline{HBR}$バス・リクエストを承認して、ホスト・プロセッサが外部バスをコントロールできることを示します。HBGは、$\overline{HBR}$が解除されるまでADSP-21065Lによって出力されます。マルチプロセッサ・システムにおいては、$\overline{HBG}$はADSP-21065Lバス・マスターによって出力されます。
$\overline{CS}$	I/A	**チップ・セレクト。**ADSP-21065Lを選択するために、ホスト・プロセッサによって使われます。
REDY(O/D)	O	**ホスト・バス・アクノレッジ。**ADSP-21065LはREDYをローにすることで、内部メモリやIOPレジスタへのホストによる非同期アクセスにウエイトを挿入します。初期設定ではオープン・ドレイン（O/D）出力で、SYSCONレジスタのADREDYビットでアクティブ・ドライブ（A/D）にもプログラミングできます。REDYは、$\overline{CS}$と$\overline{HBR}$の入力時のみ出力されます。
$\overline{DMAR}_1$	I/A	**DMAリクエスト1**（DMAチャンネル9用）。
$\overline{DMAR}_2$	I/A	**DMAリクエスト2**（DMAチャンネル8用）。
$\overline{DMAG}_1$	O/T	**DMAグラント1**（DMAチャンネル9用）。
$\overline{DMAG}_2$	O/T	**DMAグラント2**（DMAチャンネル8用）。
$\overline{BR}_{2-1}$	I/O/S	**マルチプロセッシング・バス・リクエスト。**マルチプロセッシングADSP-21065Lで、バスのマスターシップの調停に使われます。各ADSP-21065Lは自分の$\overline{BR}$x線（各ID_{2-0}入力の値に対応したもの）のみを出力し、その他の線はモニターしています。プロセッサ1個のシステムでは両方の$\overline{BR}$xピンをVDDに接続してください。
ID_{1-0}	I	**マルチプロセッシングID。**どのマルチプロセッサ・バス・リクエスト（$\overline{BR}_1$－$\overline{BR}_2$）がADSP-21065Lによって使われるかを定義します。ID=01が$\overline{BR}_1$に対応し、ID=10が$\overline{BR}_2$に対応します。単一プロセッサ・システムでは、ID＝00です。この線はシステム構成時に選択され、固定してしまうか、リセット時にのみ変更します。
$\overline{CPA}$(O/D)	I/O	**コア優先アクセス。**$\overline{CPA}$ピンを出力することで、ADSP-21065Lバス・スレーブのコア・プロセッサはバックグランドDMA転送に割込みをかけ、外部バスにアクセスできます。$\overline{CPA}$はオープン・ドレイン出力で、システム中の両方のADSP-21065Lの線と繋がれます。$\overline{CPA}$ピンは5 kΩのプルアップ抵抗を内蔵しています。コア優先アクセスを必要としないシステムでは、$\overline{CPA}$ピンは開放状態にしておきます。
DTxX	O	**データ送信。**（シリアル・ポート0、1；チャンネルA、B）。各DTxXピンは内部に50 kΩのプルアップ抵抗を持っています。
DRxX	I	**データ受信。**（シリアル・ポート0、1；チャンネルA、B）。各DRxXピンは内部に50 kΩのプルアップ抵抗を持っています。
TCLKx	I/O	**送信クロック。**（シリアル・ポート0、1）。各TCLKピンは内部に50 kΩのプルアップ抵抗を持っています。
RCLKx	I/O	**受信クロック。**（シリアル・ポート0、1）。各RCLKピンは内部に50 kΩのプルアップ抵抗を持っています。
TFSx	I/O	**送信フレーム同期。**（シリアル・ポート0、1）。
RFSx	I/O	**受信フレーム同期。**（シリアル・ポート0、1）。
BSEL	I	**EPROMブート・セレクト。**BSELがハイのときは、ADSP-21065Lは8ビットのEPROMからブートするように構成されます。BSELがローのときは、BSELと$\overline{BMS}$入力でブート・モードが決まります。詳しくは$\overline{BMS}$の欄を参照してください。この信号はシステム構成の選択ですので、固定しておいてください。

ピン	タイプ	機能
$\overline{\text{BMS}}$	I/O/T*	**ブート・メモリ・セレクト。**出力：(BSEL=1のとき) ブートEPROMデバイスのチップ・セレクトとして使用されます。マルチプロセッサ・システムにおいては、$\overline{\text{BMS}}$はバス・マスターによって出力されます。入力：ローのとき、ブートが発生しないことを示し、ADSP-21065Lは外部メモリからの実行命令を開始します。後掲の表を参照してください。この入力はシステム構成の選択ですので、固定しておいてください。 *EPROMブート・モード ($\overline{\text{BMS}}$が出力) 時にのみスリー・ステートにできます。 BSEL BMS ブート・モード 1 出力 EPROM ($\overline{\text{BMS}}$はEPROMのチップ・セレクトに接続) 0 1(入力) ホスト・プロセッサ (HBW [SYSCON] ビットでホストのバス幅を選択) 0 0(入力) ブート無し。プロセッサは外部メモリから実行。
CLKIN	I	**クロック入力。**XTALピンと一緒に使用され、ADSP-21065Lが内部クロック・ジェネレータを使うか外部クロック源を使うかを設定します。外部クリスタルは1xレートの周波数のものを使います。必要な部品をCLKINとXTALに接続すると、内部クロック・ジェネレータがイネーブルになります。ADSP-21065Lの内部クロック・ジェネレータは1xクロックを倍にして、コアやSDRAMのために2xクロックを生成します。2xクロックは、SDRAMインターフェースで使えるようにSDCLKxピンから出力されます。SDCLKxも参照してください。 1x外部クロックをCLKINに接続してXTALは開放状態にしておくと、ADSP-21065Lは外部クロック源を使う構成になります。命令サイクル・レートは2x CLKINに等しくなります。CLKINは停止したり、変更したり、規定周波数以下で動作させたりしないでください。
$\overline{\text{RESET}}$	I/A	**プロセッサ・リセット。**ADSP-21065Lを初期状態にリセットし、ハードウエア・リセット・ベクトル・アドレスからプログラムの実行を開始します。電源投入時にはリセットをローにしなければなりません。
TCK	I	**テスト・クロック (JTAG)。**JTAG境界スキャンのための非同期クロックを供給します。
TMS	I/S	**テスト・モード・セレクト (JTAG)。**テスト状態の機械のコントロールに使われます。TMSは内部に20 kΩのプルアップ抵抗を持っています。
TDI	I/S	**テスト・データ入力 (JTAG)。**境界スキャン・ロジックのためのシリアル・データを供給します。TDIは内部に20 kΩのプルアップ抵抗を持っています。
TDO	O	**テスト・データ出力 (JTAG)。**境界スキャン・パスのシリアル・スキャン出力です。
$\overline{\text{TRST}}$	I/A	**テスト・リセット (JTAG)。**テスト状態の機械をリセットします。$\overline{\text{TRST}}$は、ADSP-21065Lの正常動作のためには電源投入後にローにするか、最初からローに保っておかなければなりません。$\overline{\text{TRST}}$は内部に20 kΩのプルアップ抵抗を持っています。
$\overline{\text{EMU}}$(O/D)	O	**エミュレーション・ステータス。**ADSP-21065L EZ-ICEのターゲット・ボード・コネクタだけに接続します。
BMSTR	O	**バス・マスター出力。**マルチプロセッサ・システムにおいて、このADSP-21065Lが現在、共有外部バスのバス・マスターであるかどうかを示します。ADSP-21065Lは自分がバス・マスターの間のみBMSTRをハイにドライブします。単一プロセッサ・システム (ID＝00) では、そのプロセッサがこのピンをハイにドライブします。
$\overline{\text{CAS}}$	I/O/T	**SDRAM列アクセス・ストローブ。**列アドレスを提供します。$\overline{\text{RAS}}$、$\overline{\text{MS}}$x、$\overline{\text{SDWE}}$、SDCLKxおよび、たまにSDA10と一緒に、SDRAMの操作を規定します。
$\overline{\text{RAS}}$	I/O/T	**SDRAM行アクセス・ストローブ。**行アドレスを提供します。$\overline{\text{CAS}}$、$\overline{\text{MS}}$x、$\overline{\text{SDWE}}$、SDCLKxおよび、たまにSDA10と一緒に、SDRAMの操作を規定します。
$\overline{\text{SDWE}}$	I/O/T	**SDRAM書き込みイネーブル。**$\overline{\text{CAS}}$、$\overline{\text{RAS}}$、$\overline{\text{MS}}$x、SDCLKxおよび、たまにSDA10と一緒に、SDRAMの操作を規定します。
DQM	O/T	**SDRAMデータ・マスク。**書き込みモードで、DQMはレテンシーがゼロであり、書き込み操作をブロックするのに使われます。
$SDCLK_{1-0}$	I/O/S/T	**SDRAM 2x クロック出力。**複数のSDRAMデバイスが並列に接続されているシステムで、増加するクロック負荷要求をサポートし、外部クロック・バッファを使わずにすみます。$SDCLK_1$または両方の$\overline{SDCLK_x}$ピンをスリーステートにできます。
SDCKE	I/O/T	**SDRAM クロック・イネーブル。**CLK信号をイネーブルやディスエーブルにします。詳細については、使用するSDRAMデバイスのデータシートを参照してください。

ピン	タイプ	機能
SDA10	O/T	**SDRAM A10ピン。**ホスト・アクセスに並行したSDRAMをリフレッシュするアプリケーションを、イネーブルにします。
$\overline{XTAL}$	O	**クリスタル・オシレータ端子。**CLKINと一緒に使用して、ADSP-21065Lの内部クロック・ジェネレータをイネーブルにしたり、外部クロック源を使うためにディスエーブルにしたりします。CLKINを参照してください。
$\overline{PWM_EVENT}_{1-0}$	I/O/A	**PWM出力／イベント・キャプチャ。**PWMOUTモードでは出力ピンとなり、タイマーカウンタとして機能します。WIDTH_CNTモードでは入力ピンとなり、パルス・カウンタ／イベント・キャプチャとして機能します。
VDD	P	**電源ピン。**通常はDC＋3.3 Vを与えます（33ピン）。
GND	G	**グラウンド・ピン。**（37ピン）。
NC		**接続禁止。**接続せず開放状態にしておかなければいけないピンです（7）。

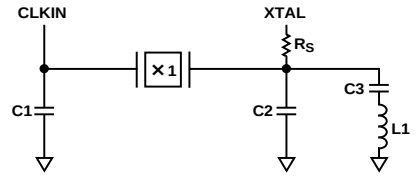
クロック信号

ADSP-21065Lは外部クロックやクリスタルを使用できます。CLKINピンの項を参照してください。必要な部品をCLKINとXTALピンに接続すると、ADSP-21065Lを内部クロック・ジェネレータを使う構成にできます。クリスタルは基本周波数モードでも、倍音でも動作させることができます。図4は基本周波数モードのクリスタルのための部品接続を示し、図5は倍音で動作させるクリスタルのための部品接続を示します。



30MHz動作用の推奨部品
ECLIPTEK EC2SM-33-30.000M (SURFACE MOUNT PACKAGE)
ECLIPTEK EC-33-30.000M (THRU-HOLE PACKAGE)
C1 = 33pF
C2 = 27pF
注： C1、C2はX1のクリスタル専用です。
詳細は水晶メーカーにお問い合わせください。

図4．30 MHz動作（基本周波数モード・クリスタル）



30MHz動作用の推奨部品
ECLIPTEK EC2SM-T-30.000M (SURFACE MOUNT PACKAGE)
ECLIPTEK ECT-30.000M (THRU-HOLE PACKAGE)
C1 = 18pF
C2 = 27pF
C3 = 75pF
L_1 = 3300nH
R_S = SEE NOTE.
注： C1、C2、C3、L1はX1のクリスタル専用です。
詳細は水晶メーカーにお問い合わせください。

図5．30 MHz動作（3倍音クリスタル）

EZ-ICEプローブ用ターゲット・ボード・コネクタ

ADSP-2106x EZ-ICEエミュレータは、エミュレーションの間、ターゲット・ボードのプロセッサを監視・制御するために、ADSP-2106xのIEEE1149.1 JTAGテスト・アクセス・ポートを使います。EZ-ICEのプローブは、図6に示すような14ピン・コネクタ（2行×7ピン・ストリップ・ヘッダ）を介してターゲット・システム上のADSP-2106xのCLKIN、TMS、TCK、$\overline{TRST}$、TDI、TDO、$\overline{EMU}$およびGND信号にアクセスします。EZ-ICEプローブをこのコネクタに直接結合することでボード上のチップのエミュレーションを行います。ADSP-2106x EZ-ICEを使いたい場合は、ターゲット・ボードの設計時に、このコネクタを付けておかなければなりません。

動作を保証するために、EZ-ICEコネクタと、EZ-ICE JTAGピンを共有しているデバイスで最も離れているものとの間の合計のトレース長は、最大でも15インチ以内にしてください。この長さの制限には、複数の2106xや、チェーン上につながった2106xと他のJTAGデバイスとの組み合わせを通るEZ-ICE JTAGピン信号を含めなければなりません。

14ピンで2列のピン・ストリップ・ヘッダはピン3で向きを示します。ピン3はヘッダから取り除いておいてください。ピンは0.025インチ角で0.20インチ以上の長さが必要です。ピン間の隙間は0.1×0.1インチです。ピン・ストリップ・ヘッダは3 MやMcKenzie、Samtec等のメーカーで扱っています。

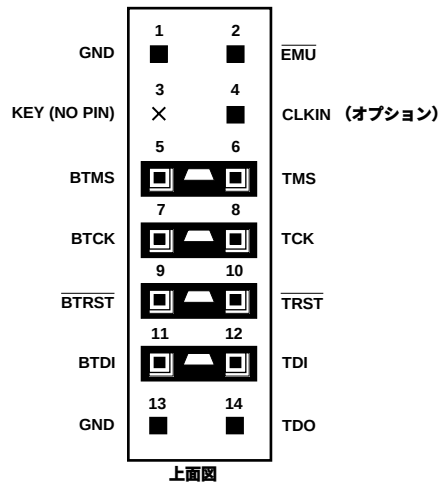


図6．ADSP-2106x EZ-ICE用ターゲット・ボード・コネクタ（JTAGヘッダ）

BTMS、BTCK、$\overline{\text{BTRST}}$およびBTDI信号が供給されるので、テスト・アクセス・ポートはボード・レベルのテストにも使用できます。コネクタがエミュレーションのために使用されていない場合は、Bxxxピンとxxxピンをジャンパー線で結んでください。ボードのテストにテスト・アクセス・ポートを使用しないときは、$\overline{\text{BTRST}}$をGNDに繋ぎ、BTCKをVDDに接続またはプルアップしてください。ADSP-2106xを正しく動作させるため、$\overline{\text{TRST}}$ピンは電源投入後は（コネクタの$\overline{\text{BTRST}}$を介して）ローに落とすか、最初からローにしておいてください。どのBxxxピン（ピン5、7、9、11）も、EZ-ICEプローブには接続しません。

JTAG信号はEZ-ICEプローブ上で、以下のように終端されます。

信号	終端
TMS	22Ωの抵抗を通してドライブされる（16 mAドライバ）
TCK	22Ωの抵抗を通して10 MHzでドライブされる（16 mAドライバ）
$\overline{\text{TRST}}$*	22Ωの抵抗を通してドライブされる（16 mAドライバ）（内部20 kΩ抵抗でプルアップ）
TDI	22Ωの抵抗によってドライブされる（16 mAドライバ）
TDO	1TTL負荷、分割終端（160/220）
CLKIN	1TTL負荷、分割終端（160/220）（注意：内部XTALオシレータを使うときは、CLKINに接続しないこと）
EMU	アクティブ・ロー4.7 kΩプルアップ抵抗。1TTL負荷（ADSP-2106xからオープン・ドレイン出力）

* $\overline{\text{TRST}}$は、ソフトウエアの立ち上げ時にエミュレータによってEZ-ICEプローブがオンになるまで、ローでドライブされます。ソフトウエアが立ち上がった後、$\overline{\text{TRST}}$はハイにドライブされます。

CLKINをEZ-ICEヘッダのピン4に接続するのはオプションです。エミュレータは、2つのADSP-21065Lを同期させて操作するとき、例えばスタート、ストップ、シングル・ステップ等の操作時にのみ、CLKIN信号を使用します。2つのプロセッサが同期してこれらの動作をする必要がなければ、EZ-ICEヘッダのピン4は単にグラウンドに繋げておいてください。

内部クロック・ジェネレータと外部の別個のクリスタルを使うシステムでは、CLKINピンを直接JTAGプローブに接続しないでください。接続してしまうとオシレータ回路に負荷を与え、発振ができなくなることがあります。JTAGプローブのかわりに、CLKINは高インピーダンス・バッファを介したXTALピンによってドライブすることができます。

もし同期マルチプロセッサ動作が必要でCLKINが接続されていると、複数のADSP-2106xプロセッサとEZ-ICEヘッダのCLKINピンのクロックのズレは最小でなければなりません。ズレが大きすぎると、プロセッサ間の同期動作が1サイクルずれることがあります。同期マルチプロセッサ動作では、TCK、TMS、CLKINおよび$\overline{\text{EMU}}$はズレに対して厳密な信号として扱い、ボード上では配線ができる限り短くなるように設計してください。

もし、同期マルチプロセッサ動作が必要でない（すなわち、CLKINを接続しない）場合は、TCKとTMSに適当な並列終端をしてください。TDI、TDO、$\overline{\text{EMU}}$、$\overline{\text{TRST}}$は、ズレに関してはあまり厳密でない信号です。

SHARC EZ-ICEに関しての完全な情報は、ADSP-21000ファミリー JTAG EZ-ICE ユーザーズ・ガイドおよびリファレンスを参照してください。

ADSP-21065L—仕様

推奨動作条件

パラメータ		テスト条件	Cグレード Min	Cグレード Max	Kグレード Min	Kグレード Max	単位
V_{DD}	電源電圧		3.13	3.60	3.13	3.60	V
T_{CASE}	ケース動作温度		−40	+100	0	+85*	℃
V_{IH}	ハイレベル入力電圧	@V_{DD}＝max	2.0	V_{DD}+0.5	2.0	V_{DD}+0.5	V
V_{IL1}	ローレベル入力電圧[1]	@V_{DD}＝min	−0.5	0.8	−0.5	0.8	V
V_{IL2}	ローレベル入力電圧[2]	@V_{DD}＝min	−0.5	0.7	−0.5	0.7	V

注
温度規定に関しては「環境条件」を参照してください。

電気特性

パラメータ		テスト条件	C、Kグレード Min	C、Kグレード Max	単位
V_{OH}	ハイレベル出力電圧[3]	@V_{DD}＝min、I_{OH}＝−2.0 mA[4]	2.4		V
V_{OL}	ローレベル出力電圧[3]	@V_{DD}＝min、I_{OL}＝4.0 mA[4]		0.4	V
I_{IH}	ハイレベル入力電流[5]	@V_{DD}＝max、V_{IN}＝V_{DD} max		10	μA
I_{IL}	ローレベル入力電流[5]	@V_{DD}＝max、V_{IN}＝0 V		10	μA
I_{ILP}	ローレベル入力電流[6]	@V_{DD}＝max、V_{IN}＝0 V		150	μA
I_{OZH}	スリーステート・リーク電流[7、8、9、10]	@V_{DD}＝max、V_{IN}＝V_{DD} max		10	μA
I_{OZL}	スリーステート・リーク電流[7]	@V_{DD}＝max、V_{IN}＝0 V		8	μA
I_{OZLS}	スリーステート・リーク電流[8]	@V_{DD}＝max、V_{IN}＝0 V		150	μA
I_{OZLA}	スリーステート・リーク電流[11]	@V_{DD}＝max、V_{IN}＝0 V		350	μA
I_{OZLAR}	スリーステート・リーク電流[10]	@V_{DD}＝max、V_{IN}＝1.5 V		4	mA
I_{OZLC}	スリーステート・リーク電流[9]	@V_{DD}＝max、V_{IN}＝0 V		1.5	mA
C_{IN}	入力容量[12, 13]	f_{IN}＝1 MHz、T_{CASE}＝25℃、V_{IN}＝2.5 V		8	pF

注
1 入力、および両方向ピンに適用：$DATA_{31-0}$、$ADDR_{23-0}$、BSEL、$\overline{RD}$、$\overline{WR}$、$\overline{SW}$、ACK、$\overline{SBTS}$、$\overline{IRQ}_{2-0}$、$FLAG_{11-0}$、$\overline{HBG}$、$\overline{CS}$、$\overline{DMAR1}$、$\overline{DMAR2}$、$\overline{BR}_{2-1}$、$\overline{ID}_{2-0}$、RPBA、$\overline{CPA}$、TFS0、TFS1、RFS0、RFS1、$\overline{BMS}$、TMS、TDI、TCK、$\overline{HBR}$、DR0A、DR1A、DR0B、DR1B、TCLK0、TCLK1、RCLK0、RCLK1、$\overline{RESET}$、$\overline{TRST}$、PWM_EVENT0、PWM_EVENT1、$\overline{RAS}$、$\overline{CAS}$、$\overline{SDWE}$、$\overline{SDCKE}$。
2 入力ピンCLKINに適用。
3 出力、および両方向ピンに適用：$DATA_{31-0}$、$ADDR_{23-0}$、$\overline{MS}_{3-0}$、$\overline{RD}$、$\overline{WR}$、$\overline{SW}$、ACK、$FLAG_{11-0}$、$\overline{HBG}$、REDY、$\overline{DMAG1}$、$\overline{DMAG2}$、$\overline{BR}_{2-1}$、$\overline{CPA}$、TCLK0、TCLK1、RCLK0、RCLK1、TFS0、TFS1、RFS0、RFS1、DT0A、DT1A、DT0B、DT1B、XTAL、$\overline{BMS}$、TDO、$\overline{EMU}$、BMSTR、PWM_EVENT0、PWM_EVENT1、$\overline{RAS}$、$\overline{CAS}$、$\overline{DQM}$、$\overline{SDWE}$、SDCLK0、SDCLK1、$\overline{SDCKE}$、SDA10。
4 代表的なドライブ電流能力については「出力ドライブ電流」を参照してください。
5 入力ピンに適用：ACK、$\overline{SBTS}$、$\overline{IRQ}_{2-0}$、$\overline{HBR}$、$\overline{CS}$、$\overline{DMAR1}$、$\overline{DMAR2}$、ID_{1-0}、BSEL、CLKIN、$\overline{RESET}$、TCK。（ID_{1-0}＝01で他のADSP-2106Xがバスのマスターシップを要求していないときで、でマルチプロセッサ・システムでのリセット中には、ACKは2 kΩで内部的にプルアップされていることに注意して下さい。）
6 内部プルアップを持った入力ピンに適用：DR0A、DR1A、DR0B、DR1B、$\overline{TRST}$、TMS、TDI。
7 スリーステートになるピンに適用：$DATA_{31-0}$、$ADDR_{23-0}$、$\overline{MS}_{3-0}$、$\overline{RD}$、$\overline{WR}$、$\overline{SW}$、ACK、$FLAG_{11-0}$、REDY、$\overline{HBG}$、$\overline{DMAG}_1$、$\overline{DMAG}_2$、$\overline{BMS}$、TDO、$\overline{RAS}$、$\overline{CAS}$、$\overline{DQM}$、$\overline{SDWE}$、SDCLK0、SDCLK1、$\overline{SDCKE}$、SDA10および$\overline{EMU}$。（ID_{1-0}＝01で他のADSP-2106Xがバスのマスターシップを要求していないときで、マルチプロセッサ・システムでのリセット中には、ACKは2 kΩで内部的にプルアップされていることに注意して下さい。）
8 内部プルアップを持ちスリーステートにできるピンに適用：DT0A、DT1A、DT0B、DT1B、TCLK0、TCLK1、RCLK0、RCLK1。
9 $\overline{CPA}$ピンに適用。
10 プルアップ時のACKピンに適用。
11 キーパ・ラッチがイネーブル時のACKピンに適用。
12 保証されますがテストされてはいません。
13 すべての信号ピンに適用。

仕様は予告なく変更されることがあります。

絶対最大定格＊

電源電圧 …… −0.3 ～ +4.6 V
入力電圧 …… −0.5 V ～ V_{DD}+0.5 V
出力電圧振幅 …… −0.5 V ～ V_{DD}+0.5 V
負荷容量 …… 200 pF
バイアスの下の接合温度 …… 130℃
保管温度範囲 …… −65 ～ +150℃
ピン温度（5秒） …… +280℃

＊ 絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスをある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

注意
ESD（静電放電）の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることもあります。このADSP-21065Lには当社独自のESD保護回路が備えられていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。

ADSP-21065Lの電力消費

この仕様はV_{DD}の内部電力部にのみ適用されます。外部電源電流およびトータルの供給電流の計算については、このデータシートの電力消費の項を参照してください。電力消費の計測に使われたコードに関する完全な議論については、SHARC電力消費計測 のテクニカル・ノートを参照してください。

各仕様は、以下の動作を前提にしています。

表．II　内部電流計測

動作	ピーク活動 ($I_{DDINPEAK}$)	ハイ活動 ($I_{DDINHIGH}$)	ロー活動 ($I_{DDINLOW}$)
命令タイプ	マルチ機能	マルチ機能	単機能
命令フェッチ	キャッシュ	内部メモリ	内部メモリ
コア・メモリ・アクセス	サイクル当たり2つ（DMおよびPM）	サイクル当たり1つ（DM）	無し
内部メモリDMA	サイクル当たり1つ	2サイクルに1つ	2サイクルに1つ

特定のアプリケーションでの電力消費を推測するには、以下の式を使ってください。%は、プログラムがその状態にある時間の量を示します。

$$\%PEAK \times I_{DDINPEAK} + \%HIGH \times I_{DDINHIGH} + \%LOW \times I_{DDINLOW} + \%IDLE16 \times I_{DDIDLE16} = 電力消費$$

表．III　内部電流計測方法

パラメータ		テスト条件	MAX	単位
$I_{DDINPEAK}$	電源電流（内部）[1]	t_{CK} = 33 ns, V_{DD} = max	470	mA
		t_{CK} = 30 ns, V_{DD} = max	510	mA
$I_{DDINHIGH}$	電源電流（内部）[2]	t_{CK} = 33 ns, V_{DD} = max	275	mA
		t_{CK} = 30 ns, V_{DD} = max	300	mA
$I_{DDINLOW}$	電源電流（内部）[3]	t_{CK} = 33 ns, V_{DD} = max	240	mA
		t_{CK} = 30 ns, V_{DD} = max	260	mA
I_{DDIDLE}	電源電流（IDLE）[4]	t_{CK} = 33 ns, V_{DD} = max	105	mA
		t_{CK} = 30 ns, V_{DD} = max	110	mA
$I_{DDIDLE16}$	電源電流（IDLE16）[5]	V_{DD} = max	20	mA

注

1 $I_{DDINPEAK}$の計測に使われるテスト・プログラムはプロセッサ動作の最悪の場合で、通常のアプリケーション下ではずっと続けられません。典型的なアプリケーションを用いて行われた実際の内部電力計測は、仕様値よりも小さくなります。
2 $I_{DDINHIGH}$はハイ活動コード範囲での合成された平均値です。
3 $I_{DDINLOW}$はロー活動コード範囲での合成された平均値です
4 IDLEはIDLE命令を実行しているときのADSP-21065Lの状態を示します。
5 IDLE16はIDLE16命令を実行しているときのADSP-21065Lの状態を示します。

タイミング仕様

一般的な注意事項

ADSP-21065Lは、60 MHzおよび66MHz（プロセッサの命令レート）の２つのグレードを用意しています。以下の仕様は、30 MHzのCLKIN周波数（t_{CK}＝33.3 ns）を基本にしています。DTを利用して（t_{CK}の有効範囲内の仕様で。下記の「クロック入力」を参照）他のCLKIN周波数での仕様を求める事ができます。DTとは、実際のCLKIN周期と33.3 nsのCLKIN周期との差です。

すなわち、

$$DT = (t_{CK} - 33.3)/32 \quad です。$$

必ず記載されたタイミング値を使用し、他のパラメータから加算や減算をして値を算出しないでください。個々のデバイスにおいては各パラメータを加算したり減算したりして求めた値は意味のある値ですが、データシートに記載されている値は統計値に基づく最悪値です。従って、加算や減算によって有効な値を導き出すことはできません。

基準電圧レベルについては、図26「AC計測のための等価デバイス負荷（すべての備品を含む）を参照してください。

スイッチング特性は、プロセッサが信号をどのように変化させるかを規定しています。従って、ユーザーがこのタイミングを制御することはできません。プロセッサ周辺の外部回路は、この信号特性と合致するように設計しなければなりません。スイッチング特性とは、与えられた環境の下でプロセッサがどのように動作するのかを示すものです。スイッチング特性を、プロセッサに接続される（メモリ等の）デバイスのタイミング特性を保証するために使用することもできます。

タイミング要求は、例えば読み出し時のデータ入力のように、プロセッサ外部の回路によって制御される信号に対して適用されます。タイミング要求は、プロセッサが他のデバイスと正しく動作するのを保証するものです。

（O/D）＝オープン・ドレイン

（A/D）＝アクティブ・ドライブ

パラメータ		66 MHz Min	66 MHz Max	60 MHz Min	60 MHz Max	単位
クロック入力						
タイミング要求：						
t_{CK}	CLKIN周期	30.00	100	33.33	100	ns
t_{CKL}	CLKINのロー幅	7.0		7.0		ns
t_{CKH}	CLKINのハイ幅	5.0		5.0		ns
t_{CKRF}	CLKINの立上り/立下り（0.4 －2.0 V）		3.0		3.0	ns

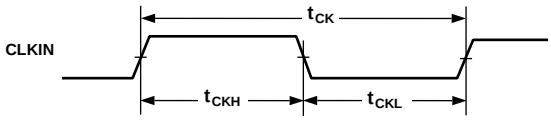


図7．クロック入力

パラメータ		Min	Max	単位
リセット				
タイミング要求：				
t_{WRST}	$\overline{\text{RESET}}$のローパルス幅[1]	2 t_{CK}		ns
t_{SRST}	CLKINがハイになる前の$\overline{\text{RESET}}$のセットアップ[2]	23.5＋24 DT t_{CK}		ns

注

1 電源投入手順が完了した後に適用。電源投入時、プロセッサの内部フェイズ・ロック・ループは、$\overline{\text{RESET}}$がローでV_{DD}とCLKINが安定だと仮定して、3000 CLKINサイクル以下の時間を必要とします（外部クロック発振器のスタート･アップ時間を除く）。

2 複数のADSP-2106xがリセットをCLKINに同期させてプログラム・カウンタ（PC）も等しくする時（すなわちSIMDシステム）にのみ必要とされるタイミング。共有バスを用いて（外部ポートを通って）通信を行うADSP-2106xのマルチプロセッサ・システムでは必要ありません。なぜなら、バス調停回路はリセット後に自動的に同期するからです。

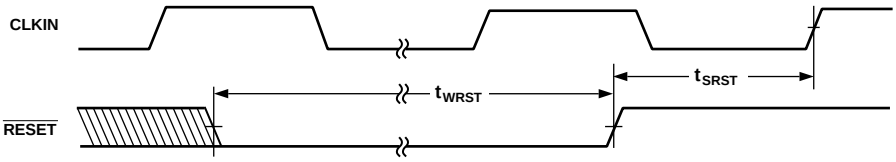


図8．リセット

パラメータ		Min	Max	単位
割込み				
タイミング要求：				
t_{SIR}	CLKIN ハイまたはローの前の$\overline{\text{IRQ}}$2-0のセットアップ時間[1]	11.0＋12 DT		ns
t_{HIR}	CLKIN ハイまたはローの前の$\overline{\text{IRQ}}$2-0のホールド時間[1]		0.0＋12 DT	ns
t_{IPW}	$\overline{\text{IRQ}}$2-0のパルス幅[2]	2.0＋t_{CK}/2		ns

注

1 次のサイクルでの$\overline{\text{IRQ}}$xの認識にのみ必要となります。

2 t_{SIR}とt_{HIR}の要求が合わないときにのみ適用されます。

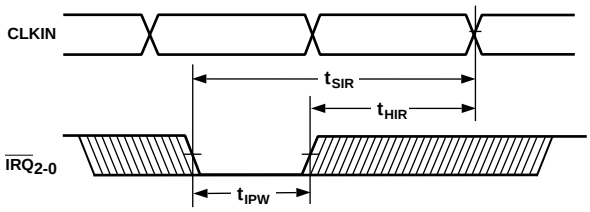


図9．割込み

パラメータ		Min	Max	単位
タイマ				
タイミング要求：				
t_{STI}	SDCLK ハイの前のタイマー・セットアップ	0.0		ns
t_{HTI}	SDCLK ハイの後のタイマー・ホールド	6.0		ns
スイッチング特性：				
t_{DTEX}	SDCLK ハイの後のタイマー遅延		1.0	ns
t_{HTEX}	SDCLK ハイの後のタイマー・ホールド	−5.0		ns

パラメータ		Min	Max	単位
フラッグ				
タイミング要求：				
t_{SFI}	SDCLK ハイの前の$FLAG_{11-0}$入力セットアップ[1]	−2.0		ns
t_{HFI}	SDCLK ハイの後の$FLAG_{11-0}$入力ホールド[1]	6.0		ns
スイッチング特性：				
t_{DFO}	SDCLK ハイの後の$FLAG_{11-0}$出力遅延		1.0	ns
t_{HFO}	SDCLK ハイの後の$FLAG_{11-0}$出力ホールド	−4.0		ns
t_{DFOE}	SDCLK ハイから$FLAG_{11-0}$出力イネーブル	−4.0		ns
t_{DFOD}	SDCLK ハイから$FLAG_{11-0}$出力ディスエーブル		−1.75	ns

注
1 これらのセットアップおよびホールド時間を満たすフラッグ入力は、次の命令サイクルでの条件付き命令に影響します。

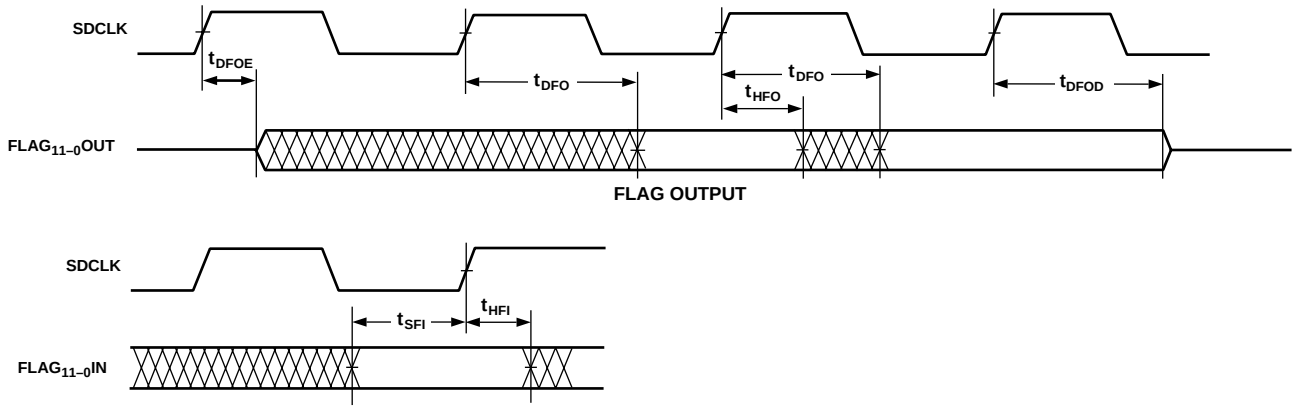


図10．フラッグ

メモリ読み出し－バス・マスター

メモリ（やメモリ・マップされた周辺素子）への非同期なインターフェースについては、CLKINではなく、こちらの仕様を利用してください。この仕様は、ADSP-21065Lがバス・マスターとして外部メモリ空間にアクセスする場合に適用されます。このスイッチング特性は、バス・マスターの同期リード／ライト・タイミングにも適用されます（後掲の「同期リード／ライト－バス・マスター」を参照）。もし、このタイミング要求が満たされるならば、同期リード／ライトのタイミングは無視できます（逆に同期の方のタイミングを満たせば、こちらのタイミングを無視する事ができます）。ACKピンのタイミング要求は、下記の注に記したように、例外となります。

パラメータ		Min	Max	単位
タイミング要求：				
t_{DAD}	アドレス、セレクト遅延からデータ有効まで[1, 2]		28.0＋32 DT ＋W	ns
t_{DRLD}	$\overline{RD}$立下がりからデータ有効まで[1]		24.0＋26 DT ＋W	ns
t_{HDA}	アドレス、セレクトからのデータのホールド[3]	0.0		ns
t_{HDRH}	$\overline{RD}$立上がりからのデータのホールド[3]	0.0		ns
t_{DAAK}	アドレス、セレクトからのACK遅延[2, 3]		24.0＋30 DT ＋W	ns
t_{DSAK}	$\overline{RD}$立下がりからのACK遅延[3]		19.5＋24 DT ＋W	ns
スイッチング特性：				
t_{DRHA}	$\overline{RD}$立上がりの後のアドレス、セレクトのホールド	－1.0＋H		ns
t_{DARL}	アドレス、セレクトから$\overline{RD}$立下がりまで[2]	3.0＋6 DT		ns
t_{RW}	$\overline{RD}$パルス幅	25.0＋26 DT＋W		ns
t_{RWR}	$\overline{RD}$立上がりから$\overline{WR}$, $\overline{RD}$, の立下がり	4.5＋6 DT＋HI		ns
t_{RDGL}	$\overline{RD}$立ち上がりから$\overline{DMAG}$xの立ち下がり	11.0＋12 DT＋HI		ns

W＝（WAITレジスタで規定されるウエイト・ステートの数）×t_{CK}
HI＝t_{CK}（もしWAITレジスタで規定されるアドレス・ホールド・サイクルまたはバス・アイドル・サイクルが発生したとき；それ以外ではHI＝0）
H＝t_{CK}（もしWAITレジスタで規定されるアドレス・ホールド・サイクルが発生したとき；それ以外ではH＝0）

注

1 データ遅延/セットアップ：ユーザーはt_{DAD}またはt_{DRLD}または同期仕様のt_{SSDATI}を満たさなければなりません。
2 $\overline{MS}$x、$\overline{SW}$、$\overline{BMS}$の立ち下がりエッジで規定されます。
3 ACKは、内部ウエイト・ステート・モードを使う外部メモリ・アクセスではサンプルされません。新しい外部メモリ・アクセスの最初のCLKINサイクルに対し、外部、どちらか、または両方（内部ウエイト・ステートがゼロの場合は、両方）のウエイト・ステート・モードでは、ACKはt_{DAAK}、t_{DSAK}、または同期仕様t_{SACKC}によって有効になる必要があります。ウエイト・ステート状態の外部メモリ・アクセスの２番目以後のサイクルに対し、外部、どちらか、または両方（内部ウエイト・ステートが完了した後は、両方）のウエイト・ステート・モードでは、同期仕様t_{SACKC}、t_{HACKC}が一致しなければなりません。

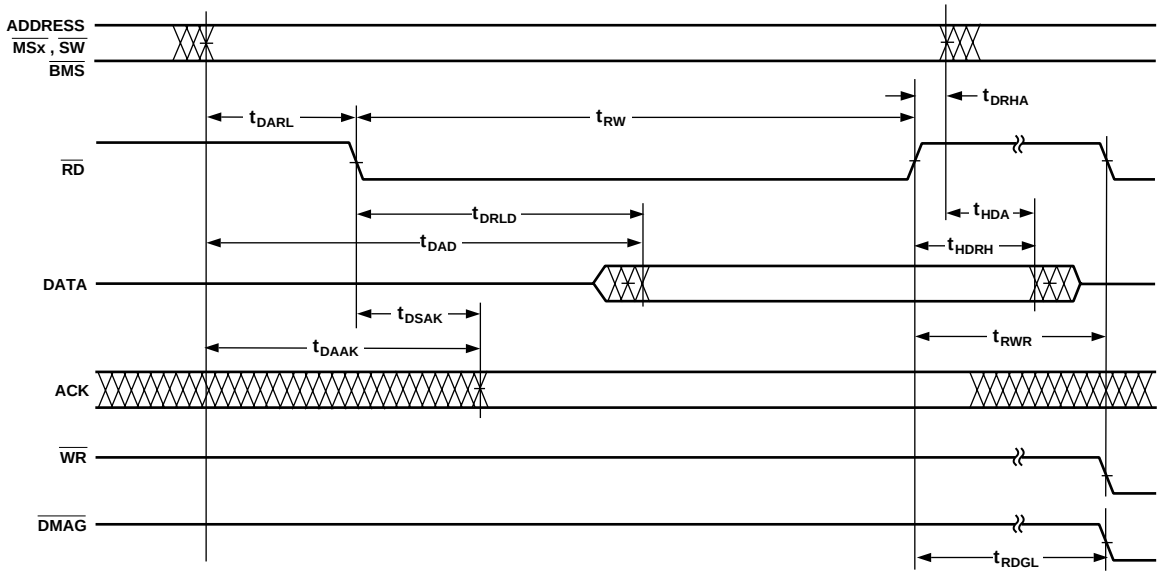


図11．メモリ読み出し－バス・マスター

メモリ書き込みーバス・マスター

メモリ（やメモリ・マップされた周辺素子）への非同期なインターフェースについては、CLKINではなく、こちらの仕様を利用してください。この仕様は、ADSP-21065Lがバス・マスターとして外部メモリ空間にアクセスする場合に適用されます。このスイッチング特性は、バス・マスターの同期リード／ライトにも適用されます（後掲の「同期リード／ライトーバス・マスター」を参照）。もし、このタイミング要求が満たされるならば、同期リード／ライトのタイミングは無視できます（逆に同期の方のタイミングを満たせば、こちらのタイミングを無視する事ができます）。ACKピンのタイミング要求は、下記の注に記したように、例外となります。

パラメータ		Min	Max	単位
タイミング要求：				
t_{DAAK}	アドレスからのACK遅延[1, 2]		24.0＋30 DT＋W	ns
t_{DSAK}	$\overline{WR}$の立下がりからのACK遅延[1]		19.5＋24 DT＋W	ns
スイッチング特性：				
t_{DAWH}	アドレス、セレクトから$\overline{WR}$解除まで[2]	29.0＋31 DT＋W		ns
t_{DAWL}	アドレス、セレクトから$\overline{WR}$の立下がり[2]	3.5＋6 DT		ns
t_{WW}	$\overline{WR}$パルス幅	24.5＋25 DT＋W		ns
t_{DDWH}	$\overline{WR}$立上がりまでのデータのセットアップ	15.5＋19 DT＋W		ns
t_{DWHA}	$\overline{WR}$解除後のアドレス・ホールド	0.0＋1 DT＋H		ns
t_{DATRWH}	$\overline{WR}$解除後のデータ・ディスエーブル[3]	1.0＋1 DT＋H	4.0＋1 DT＋H	ns
t_{WWR}	$\overline{WR}$立上がりから$\overline{WR}$, $\overline{RD}$の立下がり	4.5＋7 DT＋H		ns
t_{WRDGL}	$\overline{WR}$立ち上がりから$\overline{DMAG}$xの立ち下がり	11.0＋13 DT＋H		ns
t_{DDWR}	$\overline{WR}$や$\overline{RD}$の立下がりまでのデータ・ディスエーブル	3.5＋6 DT＋I		ns
t_{WDE}	$\overline{WR}$立下がりからデータ・イネーブル	4.5＋6 DT		ns

W＝（WAITレジスタで規定されるウエイト・ステートの数）×t_{CK}
H＝t_{CK}（もしWAITレジスタで規定されるアドレス・ホールド・サイクルが発生したとき；それ以外ではH＝0）
I＝t_{CK}（もしWAITレジスタで規定されるバス・アイドル・サイクルが発生したとき；それ以外ではI＝0）
注
1 ACKは、内部ウエイト・ステート・モードを使う外部メモリ・アクセスではサンプルされません。新しい外部メモリ・アクセスの最初のCLKINサイクルに対し、外部、どちらか、または両方（内部ウエイト・ステートがゼロの場合は、両方）のウエイト・ステート・モードでは、ACKはt_{DAAK}、t_{DSAK}、または同期仕様t_{SACKC}によって有効になる必要があります。ウエイト・ステート状態の外部メモリ・アクセスの２番目以降のサイクルに対し、外部、どちらか、または両方（内部ウエイト・ステートが完了した後は、両方）のウエイト・ステート・モードでは、同期仕様t_{SACKC}、t_{HACKC}が一致しなければなりません。
2 $\overline{MS}$x、$\overline{SW}$、$\overline{BMS}$の立ち下がりエッジで規定されます。
3 与えられた容量性負荷およびDC負荷におけるホールド時間の計算には、「テスト条件」の「システム・ホールド時間の計算」を参照してください。

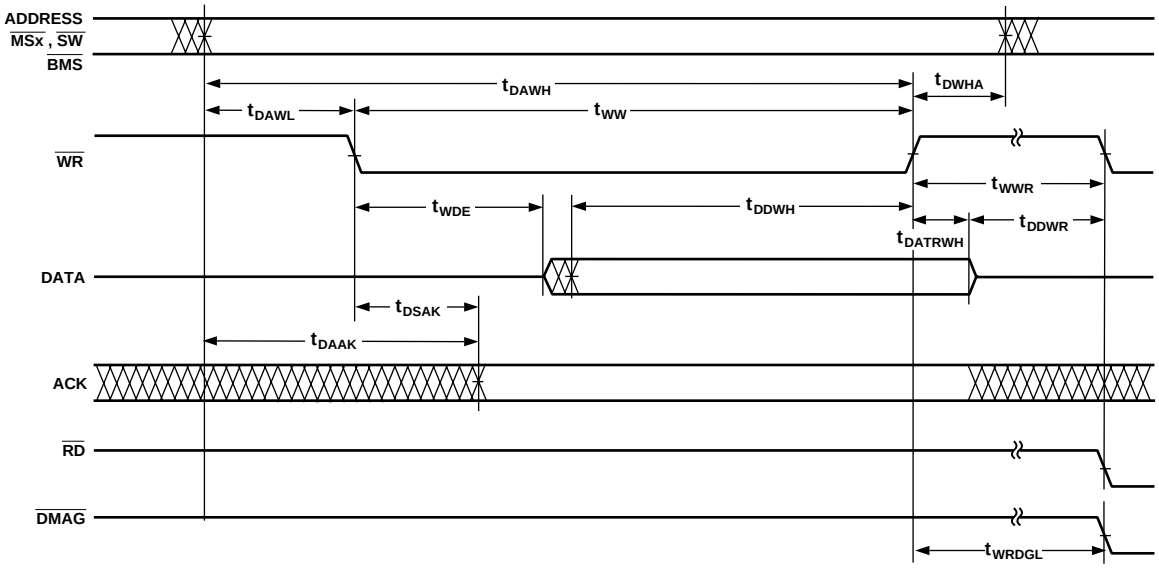


図12．メモリ書き込みーバス・マスター

同期リード／ライトーバス・マスター

CLKINと関連したタイミングが必要な外部メモリ・システムへのインターフェースや、(マルチプロセッサ・メモリ空間で)スレーブのADSP-2106Xへのアクセスには、この仕様を使用してください。この同期スイッチング特性は、非同期のメモリ読み出しや書き込みにも有効です(「メモリ読み出しーバス・マスター」、「メモリ書き込みーバス・マスター」を参照)。

スレーブのADSP-21065Lにアクセスする場合、スイッチング特性はスレーブの同期リード／ライトのタイミングを満足しなければなりません(「同期リード／ライトーバス・スレーブ」を参照)。スレーブのADSP-21065Lの方は、データとアクノレッジのセットアップやホールド時間のための(バス・マスターの)タイミング要求を満足しなければなりません。

パラメータ		Min	Max	単位
タイミング要求：				
t_{SSDATI}	CLKINまでのデータのセットアップ	0.25＋2 DT		ns
t_{HSDATI}	CLKINの後のデータのホールド	4.0ー2 DT		ns
t_{DAAK}	アドレス、$\overline{MS}$x、$\overline{SW}$、$\overline{BMS}$の後のACK遅延[1, 2]		24.0＋30 DT＋W	ns
t_{SACKC}	CLKINまでのACKセットアップ[1]	2.75＋4 DT		ns
t_{HACK}	CLKIN後のACKホールド	2.0ー4 DT		ns
スイッチング特性：				
t_{DADRO}	CLKINの後のアドレス、$\overline{MS}$x、$\overline{BMS}$、$\overline{SW}$遅延[1]		7.0ー2 DT	ns
t_{HADRO}	CLKINの後のアドレス、$\overline{MS}$x、$\overline{BMS}$、$\overline{SW}$ホールド	0.5ー2 DT		ns
t_{DRDO}	CLKINの後の$\overline{RD}$立上がり遅延	0.5ー2 DT	6.0ー2 DT	ns
t_{DWRO}	CLKINの後の$\overline{WR}$立上がり遅延	0.0ー3 DT	6.0ー3 DT	ns
t_{DRWL}	CLKINの後の$\overline{RD}$/$\overline{WR}$立下がり遅延	7.5＋4 DT	11.75＋4 DT	ns
t_{DDATO}	CLKINの後のデータ遅延		22.0＋10 DT	ns
t_{DATTR}	CLKINの後のデータ・ディスエーブル[3]	1.0ー2 DT	7.0ー2 DT	ns
t_{DBM}	CLKINの後のBMSTR遅延		3.0	ns
t_{HBM}	CLKINの後のBMSTRホールド	ー4.0		ns

W＝(WAITレジスタで規定されるウエイト・ステートの数)×t_{CK}

注

1 データ・ホールド：ユーザーはt_{HDA}またはt_{HDRH}または同期仕様のt_{HDATI}を満たさなければなりません。与えられた容量性負荷およびDC負荷におけるホールド時間の計算には、「テスト条件」の「システム・ホールド時間の計算」を参照してください。

2 ACKは、内部ウエイト・ステート・モードを使う外部メモリ・アクセスではサンプルされません。新しい外部メモリ・アクセスの最初のCLKINサイクルに対し、外部、どちらか、または両方(内部ウエイト・ステートがゼロの場合は、両方)のウエイト・ステート・モードでは、ACKはt_{DAAK}、t_{DSAK}または同期仕様t_{SACKC}によって有効になる必要があります。ウエイト・ステート状態の外部メモリ・アクセスの2番目以降のサイクルに対し、外部、どちらか、または両方(内部ウエイト・ステートが完了した後は、両方)のウエイト・ステート・モードでは、同期仕様t_{SACKC}、t_{HACKC}が一致しなければなりません。

3 与えられた容量性負荷およびDC負荷におけるホールド時間の計算には、「テスト条件」の「システム・ホールド時間の計算」を参照してください。

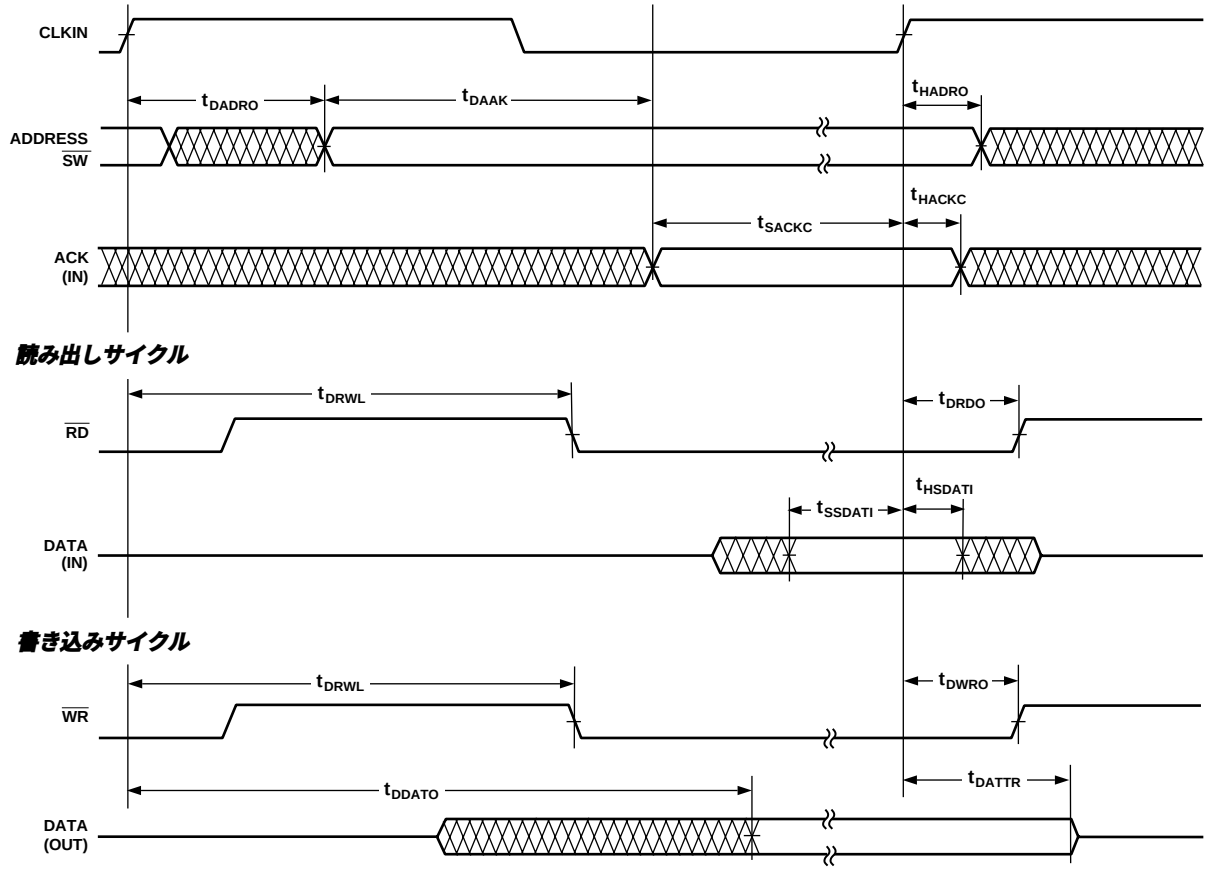


図13．同期リード／ライトーバス・マスター

同期リード／ライトーバス・スレーブ

ADSP-21065Lバス・マスターによる、スレーブのIOPレジスタや（マルチプロセッサ・メモリ空間の）内部メモリへのアクセスには、この仕様を使用してください。バス・マスターは、この（バス・スレーブ）タイミング要求を満足しなければなりません。

パラメータ		Min	Max	単位
タイミング要求：				
t_{SADRI}	CLKINまでのアドレス、$\overline{SW}$のセットアップ	24.5＋25 DT		ns
t_{HADRI}	CLKINまでのアドレス、$\overline{SW}$のホールド		4.0＋8 DT	ns
t_{SRWLI}	CLKINまでの$\overline{RD}$/$\overline{WR}$ローのセットアップ[1]	21.0＋21 DT		ns
t_{HRWLI}	CLKINの後の$\overline{RD}$/$\overline{WR}$ローのホールド	－2.50－5 DT	7.5＋7 DT	ns
t_{RWHPI}	$\overline{RD}$/$\overline{WR}$パルスハイ	2.5		ns
t_{SDATWH}	$\overline{WR}$立上がりまでのデータ・セットアップ	4.5		ns
t_{HDATWH}	$\overline{WR}$立上がりの後のデータ・ホールド	0.0		ns
スイッチング特性：				
t_{SDDATO}	CLKIN後のデータ遅延		31.75＋21 DT	ns
t_{DATTR}	CLKIN後のデータ・ディスエーブル[2]	1.0－2 DT	7.0－2 DT	ns
t_{DACK}	CLKIN後のACK遅延		29.5＋20 DT	ns
t_{ACKTR}	CLKIN後のACKディスエーブル[2]	1.0－2 DT	6.0－2 DT	ns

注
1 マルチプロセッサ・メモリ空間ウエイト・ステート（WAITレジスタのMMSWSビット）がディスエーブルのとき、t_{SRWLI}が規定されます。MMSWSがイネーブルのときはt_{SRWLI}(min)＝17.5＋18DT。
2 与えられた容量性負荷およびDC負荷におけるホールド時間の計算には、「テスト条件」の「システム・ホールド時間の計算」を参照してください。

マスターおよびスレーブとして二つのADSP-21065Lが同期を取って通信するためには、一定のマスターおよびスレーブの仕様の組み合わせが満足されなければなりません。マスター／スレーブのクロック・スキューのマージンを計算するために、下のリストの仕様値を直接比較することはしないでください。次の表は適切なクロック・スキューのマージンを示しています。

表IV．バス・マスターとスレーブのスキュー・マージン

マスターの仕様	スレーブの仕様	スキュー・マージン	
t_{SSDATI}	t_{SDDATO}	t_{CK}＝33.3 ns	＋2.25 ns
		t_{CK}＝30.0 ns	＋1.50 ns
t_{SACKC}	t_{DACK}	t_{CK}＝33.3 ns	＋3.00 ns
		t_{CK}＝30.0 ns	＋2.25 ns
t_{DADRO}	t_{SADRI}	t_{CK}＝33.0 ns	N/A
		t_{CK}＝30.0 ns	＋2.75 ns
t_{DRWL}(Max)	t_{SRWLI}	t_{CK}＝33.3 ns	＋1.50 ns
		t_{CK}＝30.0 ns	＋1.25 ns
t_{DRDO}(Max)	t_{HRWLI}(Max)	t_{CK}＝33.3 ns	N/A
		t_{CK}＝30.0 ns	3.00 ns
t_{DWRO}(Max)	t_{HRWLI}(Max)	t_{CK}＝33.3 ns	N/A
		t_{CK}＝30.0 ns	3.75 ns

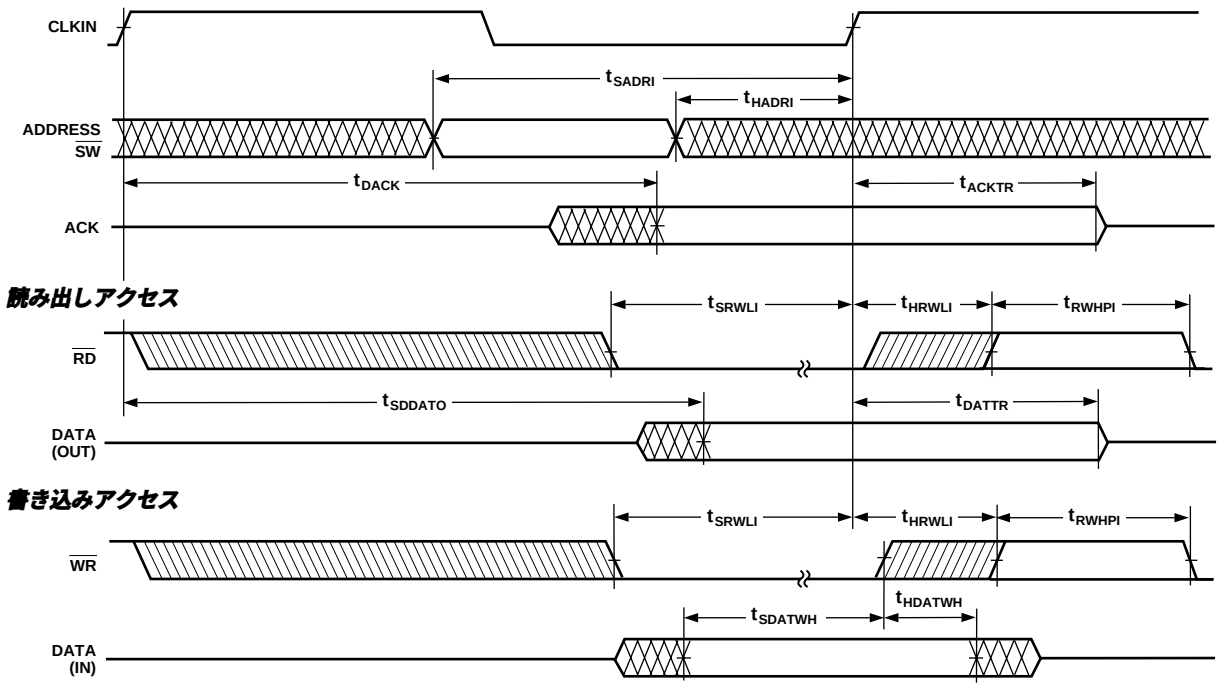


図14．同期リード／ライトーバス・スレーブ

マルチプロセッサ・バス・リクエストとホスト・バス・リクエスト

この仕様は、バスのマスターシップをマルチプロセッシングADSP-21065L（$\overline{BR}$x）やホスト・プロセッサ（$\overline{HBR}$、$\overline{HBG}$）で受け渡すときに使用してください。

パラメータ		Min	Max	単位
タイミング要求：				
$t_{HBGRCSV}$	$\overline{HBG}$立下がりから$\overline{RD}$/$\overline{WR}$/$\overline{CS}$有効[1]		20.0＋36 DT	ns
t_{SHBRI}	CLKINまでの$\overline{HBR}$セットアップ[2]	12.0＋12 DT		ns
t_{HHBRI}	CLKINまでの$\overline{HBR}$ホールド[2]		6.0＋12 DT	ns
t_{SHBGI}	CLKINまでの$\overline{HBG}$セットアップ	6.0＋8 DT		ns
t_{HHBGI}	CLKIN立上がりまでの$\overline{HBG}$ホールド		1.0＋8 DT	ns
t_{SBRI}	CLKINまでの$\overline{BR}$x、$\overline{CPA}$セットアップ[3]	7.0＋8 DT		ns
t_{HBRI}	CLKIN立上がりまでの$\overline{BR}$x、$\overline{CPA}$ホールド		1.0＋8 DT	ns
スイッチング特性：				
t_{DHBGO}	CLKIN後の$\overline{HBG}$遅延		8.0－2 DT	ns
t_{HHBGO}	CLKIN後の$\overline{HBG}$ホールド	1.0－2 DT		ns
t_{DBRO}	CLKIN後の$\overline{BR}$x遅延		7.0－2 DT	ns
t_{HBRO}	CLKIN後の$\overline{BR}$xホールド	1.0－2 DT		ns
t_{DCPAO}	CLKIN後の$\overline{CPA}$立下がり遅延		11.5－2 DT	ns
t_{TRCPA}	CLKIN後の$\overline{CPA}$ディスエーブル	1.0－2 DT	5.5－2 DT	ns
t_{DRDYCS}	$\overline{CS}$と$\overline{HBR}$立下がりからのREDY（O/D）または（A/D）立下がり[4]		13.0	ns
t_{TRDYHG}	HBGからのREDY（O/D）ディスエーブルまたはREDY（A/D）立上がり[4]	44.0＋43 DT		ns
t_{ARDYTR}	$\overline{CS}$または$\overline{HBR}$立上がりからのREDY（A/D）ディスエーブル[4]		10.0	ns

注

1 $\overline{HBR}$と$\overline{CS}$が与えられた後の最初の非同期アクセスのためには、$ADDR_{23:0}$は、$\overline{RD}$や$\overline{WR}$が立下がる$1/2t_{CK}$前か、または$\overline{HBG}$がローになった$t_{HBGRCSV}$後までに、MMSではない値にならなければなりません。これは$\overline{HBG}$が与えられているときに上位アドレス信号をHIにドライブすることで、簡単に達成できます。ADSP-21065L SHARC ユーザーズ・マニュアル、第2版のADSP-21065Lのホスト・プロセッサ・コントロールの項を参照して下さい。

2 現在のサイクル中に認識される必要があるときのみ要求されます。

3 $\overline{CPA}$はCLKINへのセットアップを満足するように与えなければなりません。$\overline{CPA}$の解除はCLKINへのセットアップを満足する必要はありません。

4 （O/D）はオープン・ドレインを、（A/D）はアクティブ・ドライブを表します。

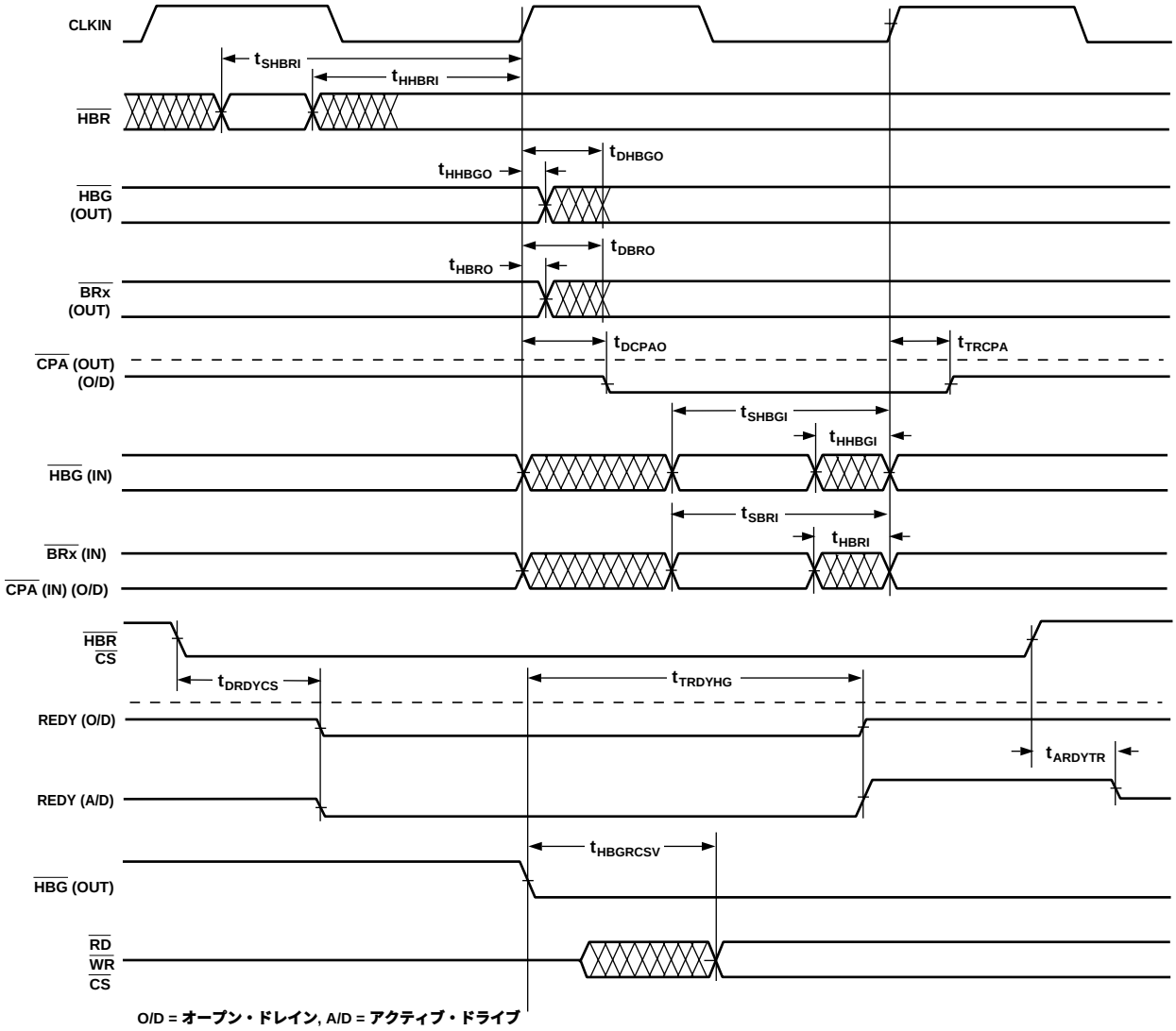


図15．マルチプロセッサ・バス・リクエストとホスト・バス・リクエスト

非同期リード／ライトーホストからADSP-21065L

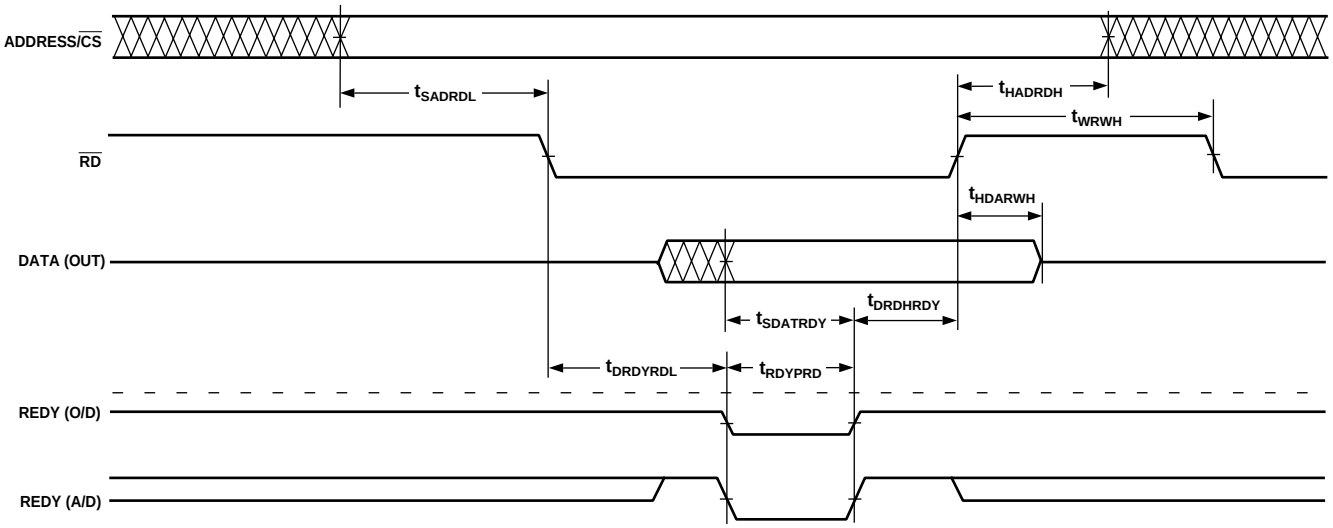
この仕様は、ホストが$\overline{CS}$や$\overline{HBR}$（ロー）を出力した後の、ホスト・プロセッサのADSP-21065Lへの非同期アクセスに使用してください。ADSP-21065Lから$\overline{HBG}$が返された後、ホストはADSP-21065LのIOPレジスタにアクセスするために$\overline{RD}$および$\overline{WR}$をドライブすることができます。このタイミングでは$\overline{HBR}$と$\overline{HBG}$はローと仮定されます。書き込み操作は最小（1/2）t_{CK}の間隔で発生できます。

パラメータ		Min	Max	単位
読み出しサイクル				
タイミング要求：				
t_{SADRDL}	**$\overline{RD}$立下がりまでのアドレス・セットアップ/$\overline{CS}$立ち下がり***	0.0		ns
t_{HADRDH}	**$\overline{RD}$立ち上がり後のアドレス・ホールド/$\overline{CS}$ホールド立ち下がり**	0.0		ns
t_{WRWH}	**$\overline{RD}$/$\overline{WR}$ ハイの幅**	6.0		ns
$t_{DRDHRDY}$	**REDY（O/D）ディスエーブル後の$\overline{RD}$の立ち上がり遅延**	0.0		ns
$t_{DRDHRDY}$	**REDY（A/D）ディスエーブル後の$\overline{RD}$の立ち上がり遅延**	0.0		ns
スイッチング特性：				
$t_{SDATRDY}$	**REDYがローからディスエーブルになるまでのデータ有効**	1.5		ns
$t_{DRDYRDL}$	**$\overline{RD}$立下がり後のREDY（O/D）または（A/D）立ち下がり遅延**		13.5	ns
t_{RDYPRD}	**読み出しのREDY（O/D）または（A/D）ローのパルス幅**	28.0＋DT		ns
t_{HDARWH}	**$\overline{RD}$立上がり後のデータ・ディスエーブル**	2.0	10.0	ns
書き込みサイクル				
タイミング要求：				
t_{SCSWRL}	**$\overline{WR}$立下がりまでの$\overline{CS}$ ローのセットアップ**	0.0		ns
t_{HCSWRH}	**$\overline{WR}$立上がりの後の$\overline{CS}$ ローホールド**	0.0		ns
t_{SADWRH}	**$\overline{WR}$立上がりまでのアドレス・セットアップ**	5.0		ns
t_{HADWRH}	**$\overline{WR}$立上がりの後のアドレス・ホールド**	2.0		ns
t_{WWRL}	**$\overline{WR}$ ローの幅**	7.0		ns
t_{WRWH}	**$\overline{RD}$/$\overline{WR}$ ハイの幅**	6.0		ns
$t_{DWRHRDY}$	**REDY（O/D）または（A/D）ディスエーブルの後の$\overline{WR}$ ハイ遅延**	0.0		ns
t_{SDATWH}	**$\overline{WR}$立上がりまでのデータ・セットアップ**	5.0		ns
t_{HDATWH}	**$\overline{WR}$立上がり後のデータ・ホールド**	1.0		ns
スイッチング特性：				
$t_{DRDYWRL}$	**$\overline{WR}$/$\overline{CS}$立下がりの後のREDY（O/D）または（A/D）ロー遅延**		13.5	ns
t_{RDYPWR}	**書き込みのREDY（O/D）または（A/D）ローのパルス幅**	7.75		ns

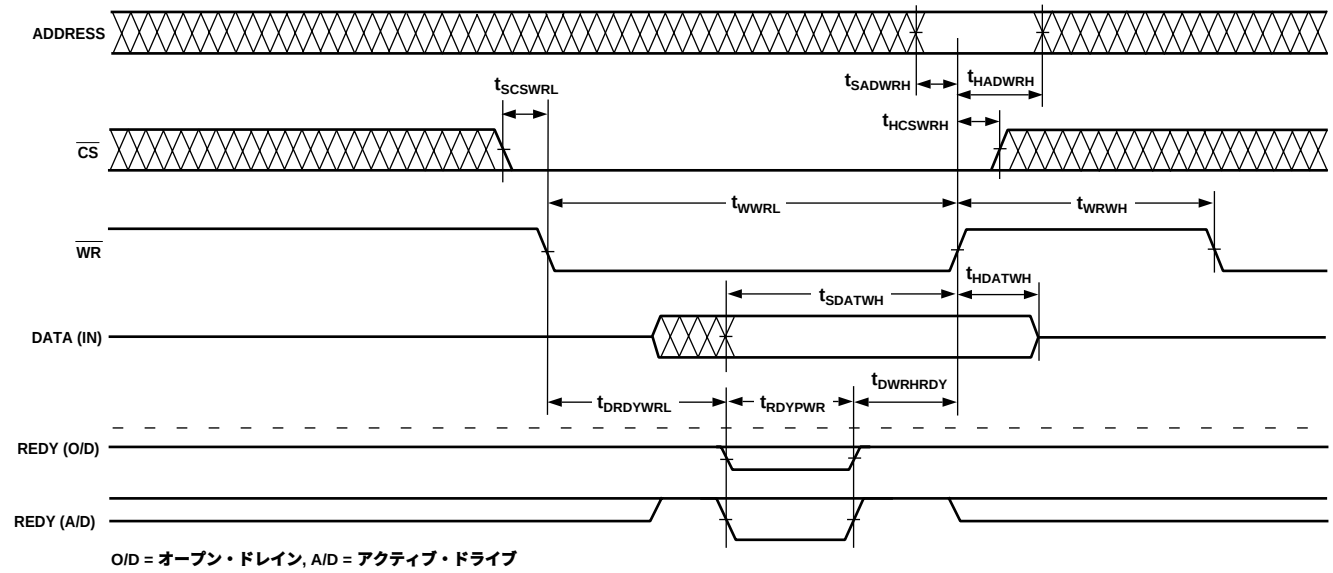
注

＊ HBGがローになった$t_{HBGRCSV}$後に$\overline{RD}$とアドレスが有効であれば必要でありません。$\overline{HBR}$が与えられた後の最初のアクセスでは、ADDR23-0は、$\overline{RD}$や$\overline{WR}$が立下がる1/2t_{CLK}前か、またはHBGがローになった$t_{HBGRCSW}$後までに、MMSではない値にならなければなりません。これは、$\overline{HBG}$が与えられたときに上位アドレス信号をHIにドライブすることで容易に達成できます。ADSP-21065L SHARCユーザーズ・マニュアル第２版のホスト・インターフェースの項を参照してください。

読み出しサイクル



書き込みサイクル



O/D = オープン・ドレイン, A/D = アクティブ・ドライブ

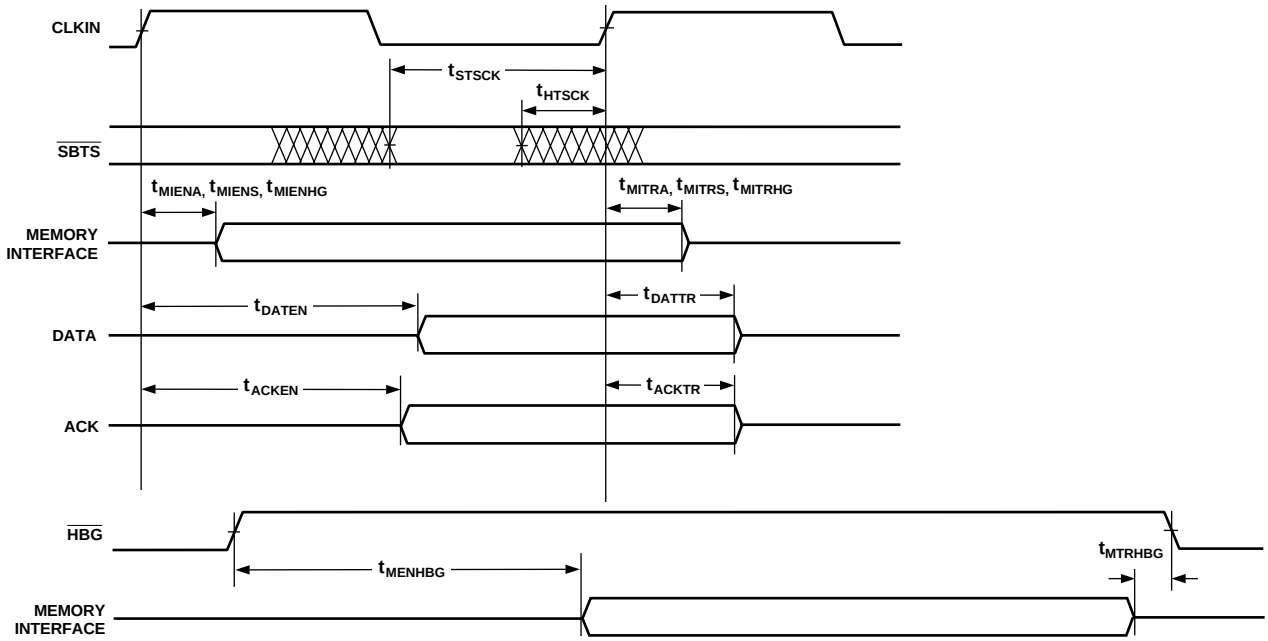
図16．非同期リード／ライトーホストからADSP-21065L

スリーステート・タイミング－バス・マスター、バス・スレーブ、$\overline{\text{HBR}}$、$\overline{\text{SBTS}}$

この仕様は、CLKINと$\overline{\text{SBTS}}$ピンとの関連で、どのようにメモリ・インターフェースがディスエーブル（ドライブを停止する）されたりイネーブル（ドライブを始める）されたりするかを示します。このタイミングは$\overline{\text{SBTS}}$ピンと同様に、バス・マスター遷移サイクル（BTC）とホスト遷移サイクル（HTC）にも応用できます。

パラメータ		Min	Max	単位
タイミング要求：				
t_{STSCK}	CLKINまでの$\overline{\text{SBTS}}$セットアップ	7.0＋8 DT		ns
t_{HTSCK}	CLKINまでの$\overline{\text{SBTS}}$ホールド		1.0＋8 DT	ns
スイッチング特性：				
t_{MIENA}	CLKIN後のアドレス／セレクト・イネーブル	1.0－2 DT		ns
t_{MIENS}	CLKIN後のストローブ・イネーブル[1]	－0.5－2 DT		ns
t_{MIENHG}	CLKIN後の$\overline{\text{HBG}}$イネーブル	2.0－2 DT		ns
t_{MITRA}	CLKIN後のアドレス／セレクト・ディスエーブル		3.0－4 DT	ns
t_{MITRS}	CLKIN後のストローブ・ディスエーブル[1]		4.0－4 DT	ns
t_{MITRHG}	CLKIN後の$\overline{\text{HBG}}$ディスエーブル		5.5－4 DT	ns
t_{DATEN}	CLKIN後のデータ・イネーブル[2]	10.0＋5 DT		ns
t_{DATTR}	CLKIN後のデータ・ディスエーブル[2]	1.0－2 DT	7.0－2 DT	ns
t_{ACKEN}	CLKIN後のACKイネーブル[2]	7.5＋4 DT		ns
t_{ACKTR}	CLKIN後のACKディスエーブル[2]	1.0－2 DT	6.0－2 DT	ns
t_{MTRHBG}	$\overline{\text{HBG}}$立下がりまでのメモリ・インターフェース・ディスエーブル[3]	2.0＋2 DT		ns
t_{MENHBG}	$\overline{\text{HBG}}$立上がり後のメモリ・インターフェース・イネーブル[3]	15.75＋DT		ns

注
1 ストローブ＝$\overline{\text{RD}}$、$\overline{\text{WR}}$、$\overline{\text{SW}}$、$\overline{\text{DMAG}}$、
2 バス・マスター遷移サイクルに加えて、この仕様はバス・マスターとバス・スレーブの同期リード／ライトにも適用されます。
3 メモリ・インターフェース＝アドレス、$\overline{\text{RD}}$、$\overline{\text{WR}}$、$\overline{\text{MS}}$x、$\overline{\text{SW}}$、$\overline{\text{DMAG}}$x、$\overline{\text{BMS}}$（EPROMブート・モード）



メモリ・インターフェース = アドレス, RD, WR, MSx, SW, DMAGx. BMS (EPROM ブート・モード)

図17．スリーステート・タイミング

DMAハンドシェイク

この仕様は、3つのDMAハンドシェイク・モードについて説明しています。3つのモードすべてで、DMARが転送の開始に使用されます。ハンドシェイク・モードでは、外部的にデータをラッチしたりイネーブルしたりするのを、$\overline{\text{DMAG}}$がコントロールします。外部ハンドシェイク・モードでは、データ転送は$ADDR_{23-0}$、$\overline{\text{RD}}$、$\overline{\text{WR}}$、$\overline{\text{SW}}$、$\overline{\text{MS}}_{3-0}$、ACKおよび$\overline{\text{DMAG}}$信号によってコントロールされます。外部モードはSDRAMとの転送には使用できません。ペース・マスター・モードでは、データ転送は$ADDR_{23-0}$、$\overline{\text{RD}}$、$\overline{\text{WR}}$、MS_{3-0}、および（$\overline{\text{DMAG}}$ではなく）ACKによってコントロールされます。ペース・マスター・モードでは「メモリ読み出し－バス・マスター」、「メモリ書き込み－バス・マスター」「同期リード／ライト－バス・マスター」の$ADDR_{23-0}$、$\overline{\text{RD}}$、$\overline{\text{WR}}$、$\overline{\text{MS}}_{3-0}$、$\overline{\text{SW}}$、$DATA_{31-0}$、ACKのタイミング仕様も適用されます。

パラメータ		Min	Max	単位
タイミング要求：				
t_{SDRLC}	CLKINまでの$\overline{\text{DMAR}}$x ローのセットアップ[1]	5.0		ns
t_{SDRHC}	CLKINまでの$\overline{\text{DMAR}}$x ハイのセットアップ[1]	5.0		ns
t_{WDR}	$\overline{\text{DMAR}}$xローの幅（非同期）	6.0		ns
$t_{SDATDGL}$	$\overline{\text{DMAG}}$x立下がり後のデータ・セットアップ[2]		15.0＋20 DT	ns
$t_{HDATIDG}$	$\overline{\text{DMAG}}$x立上がり後のデータ・ホールド	0.0		ns
t_{DATDRH}	$\overline{\text{DMAR}}$x立上がり後のデータ有効[2]		25.0＋14 DT	ns
t_{DMARLL}	$\overline{\text{DMAR}}$x ローエッジからローエッジまで	18.0＋14 DT		ns
t_{DMARH}	$\overline{\text{DMAR}}$x ハイの幅	6.0		ns
スイッチング特性：				
t_{DDGL}	CLKIN後の$\overline{\text{DMAG}}$x ロー遅延	14.0＋10 DT	20.0＋10 DT	ns
t_{WDGH}	$\overline{\text{DMAG}}$x ハイの幅	10.0＋12 DT＋HI		ns
t_{WDGL}	$\overline{\text{DMAG}}$x ローの幅	16.0＋20 DT		ns
t_{HDGC}	CLKIN後の$\overline{\text{DMAG}}$x ハイ遅延	0.0－2 DT	6.0－2 DT	ns
t_{DADGH}	アドレス・セレクト有効から$\overline{\text{DMAG}}$x ハイ	28.0＋16 DT		ns
t_{DDGHA}	$\overline{\text{DMAG}}$x 立ち上がり後のアドレス・セレクト・ホールド	－1.0		ns
$t_{VDATDGH}$	$\overline{\text{DMAG}}$x立上がりまでのデータ有効[3]	16.0＋20 DT		ns
$t_{DATRDGH}$	$\overline{\text{DMAG}}$x立上がり後のデータ・ディスエーブル[4]	0.0	4.0	ns
t_{DGWRL}	$\overline{\text{DMAG}}$x立下がりまでの$\overline{\text{WR}}$ロー	5.0＋6 DT	8.0＋6 DT	ns
t_{DGWRH}	$\overline{\text{WR}}$立上がりまでの$\overline{\text{DMAG}}$xロー	18.0＋19 DT＋W		ns
t_{DGWRR}	$\overline{\text{DMAG}}$x立上がりまでの$\overline{\text{WR}}$立上がり	0.75＋1 DT	3.0＋1 DT	ns
t_{DGRDL}	$\overline{\text{DMAG}}$x立下がりまでの$\overline{\text{RD}}$立下がり	5.0	8.0	ns
t_{DRDGH}	$\overline{\text{DMAG}}$x立上がりまでの$\overline{\text{RD}}$立下がり	24.0＋26 DT＋W		ns
t_{DGRDR}	$\overline{\text{DMAG}}$x立上がりまでの$\overline{\text{RD}}$立上がり	0.0	2.0	ns
t_{DGWR}	$\overline{\text{DMAG}}$x立上がりから$\overline{\text{WR}}$, $\overline{\text{RD}}$立下がり	5.0＋6 DT＋HI		ns

W＝（WAITレジスタで規定されるウエイト・ステートの数）×t_{CK}
HI＝t_{CK}（もしWAITレジスタで規定されるアドレス・ホールド・サイクルまたはバス・アイドル・サイクルが発生したとき；それ以外ではHI＝0）

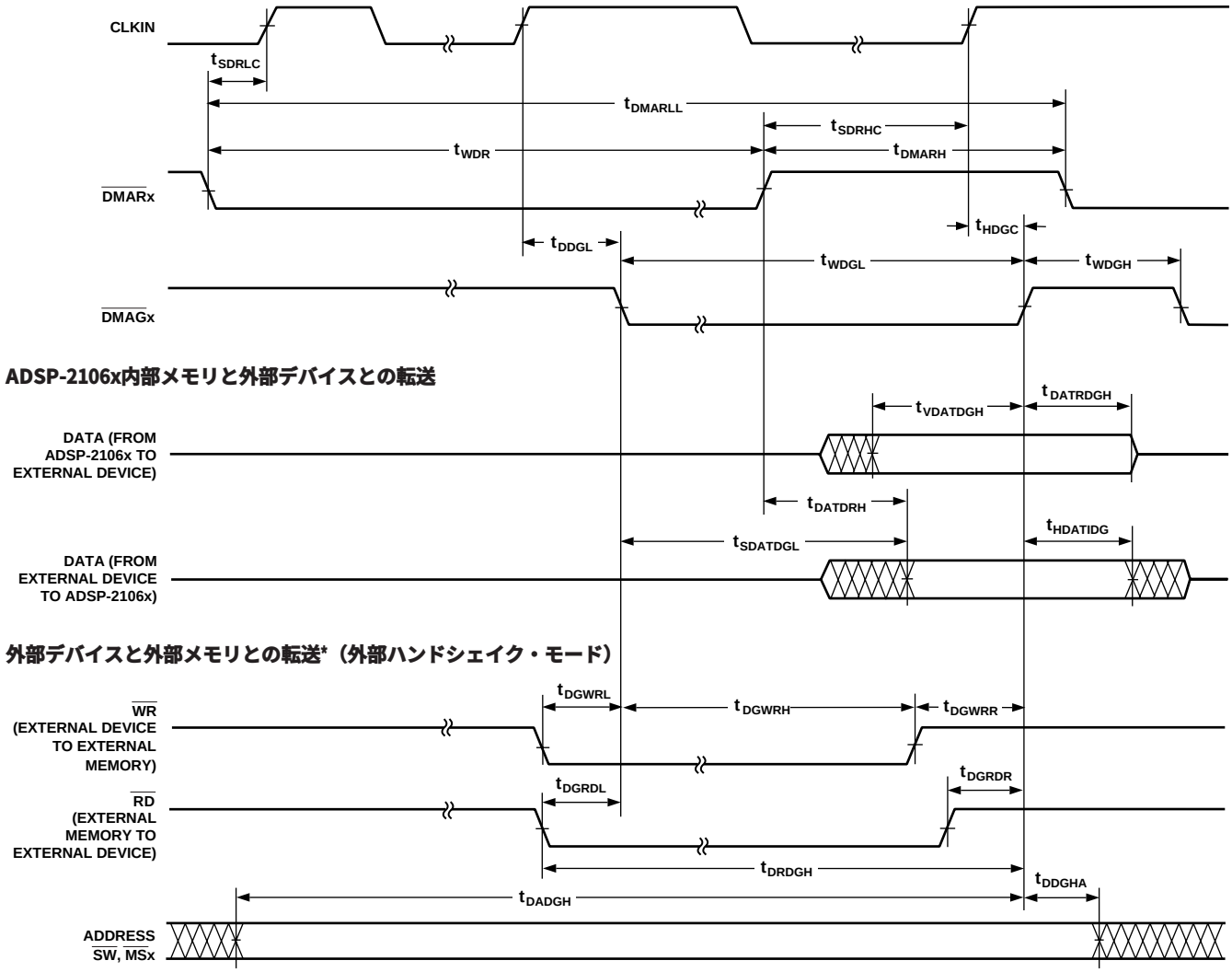
注

1 現在のサイクル中に認識される必要があるときのみ要求されます。

2 $t_{SDATDGL}$は、書き込みの完了を阻止するために$\overline{\text{DMAR}}$xが使われない場合のデータ・セットアップ要求です。もしくは、$\overline{\text{DMAR}}$xローで書き込みの完了が阻止される場合には、$\overline{\text{DMAR}}$xがハイにされた後、t_{DATDRH}でデータがドライブされます。

3 $\overline{\text{DMAR}}$xが読み出しの完了を阻止するために使用されない場合、$t_{VDATDGH}$は有効です。もし$\overline{\text{DMAR}}$xが読み出しを延長するために使用された場合は、$t_{VDATDGH}$＝8＋9 DT＋（n×t_{CK}）で、nはアクセスが延長される余分なサイクル数に等しい数です。

4 与えられた容量性負荷およびDC負荷におけるホールド時間の計算には、「テスト条件」の「システム・ホールド時間の計算」を参照してください。



＊「メモリ読み出し ― バス・マスター」、「メモリ書き込み― バス・マスター」「同期リード／ライト ― バス・マスター」の $ADDR_{23-0}$, $\overline{RD}$, $\overline{WR}$, $\overline{SW}$, $\overline{MS}_{3-0}$, ACKのタイミング仕様も、ここで適用されます。

図18．DMAハンドシェイク・タイミング

SDRAMインターフェース － バス・マスター

ADSP-21065LのSDRAMのバス・マスター・アクセスには、この仕様を使ってください。

パラメータ		Min	Max	単位
タイミング要求：				
t_{SDSDK}	SDCLK前のデータ・セットアップ	2.0		ns
t_{HDSDK}	SDCLK後のデータ・ホールド	1.25		ns
スイッチング特性：				
t_{DSDK1}	CLKIN後の最初のSDCLK立ち上がり遅延	9.0＋6 DT	12.75＋6 DT	ns
t_{DSDK2}	CLKIN後の2番目のSDCLK立ち上がり遅延	25.5＋22 DT	29.25＋22 DT	ns
t_{SDK}	SDCLK周期	16.67	$t_{CK}/2$	ns
t_{SDKH}	SDCLK ハイの幅	7.5＋8 DT		ns
t_{SDKL}	SDCLK ローの幅	6.5＋8 DT		ns
$t_{DCADSDK}$	SDCLK後のコマンド、アドレス、データ・遅延[1]		10.0＋5 DT	ns
$t_{HCADSDK}$	SDCLK後のコマンド、アドレス、データ・ホールド[1]	4.5＋5 DT		ns
$t_{SDTRSDK}$	SDCLK後のデータ･スリーステート		9.5＋5 DT	ns
$t_{SDENSDK}$	SDCLK後のデータ・イネーブル[2]	6.0＋5 DT		ns
t_{SDCTR}	CLKIN後のSDCLK、コマンド・スリーステート[1]	5.0＋3 DT	9.75＋3 DT	ns
t_{SDCEN}	CLKIN後のSDCLK、コマンド･イネーブル[1]	5.0＋2 DT	10.0＋2 DT	ns
t_{SDATR}	CLKIN後のアドレス･スリーステート	－1.0－4 DT	3.0－4 DT	ns
t_{SDAEN}	CLKIN後のアドレス･イネーブル	1.0－2 DT	7.0－2 DT	ns

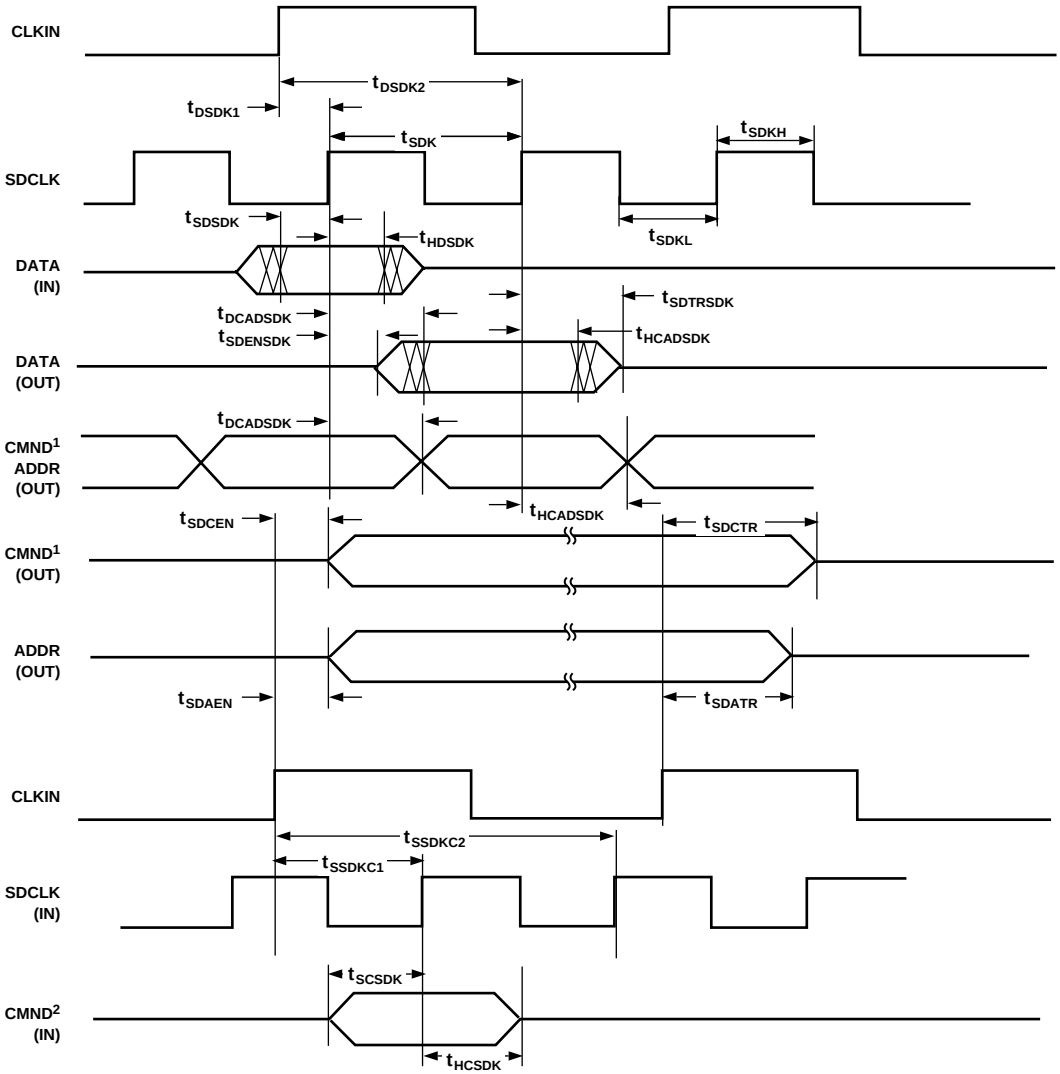
注
1 コマンド＝SDCKE、$\overline{MS}$x、$\overline{RAS}$、$\overline{CAS}$、$\overline{SDWE}$、$\overline{DQM}$、およびSDA10
2 SDRAMコントローラは、次に書き込みが行われる読み出しにおいて、1 SDRAM CLKスリーステート・サイクル遅延（$t_{CK}/2$）を加えます。

SDRAMインターフェース－バス・スレーブ

このタイミング要求で、バス・スレーブはバス・マスターのSDRAMコマンドを取り込み、リフレッシュの発生を検出します。

パラメータ		Min	Max	単位
タイミング要求：				
t_{SSDKC1}	CLKIN後の最初のSDCLK立ち上がり	6.50＋16 DT	17.5＋16 DT	ns
t_{SSDKC2}	CLKIN後の2番目のSDCLK立ち上がり	23.25	34.25	ns
t_{SCSDK}	SDCLKの前のコマンド・セットアップ[1]	0.0		ns
t_{HCSDK}	SDCLK後のコマンド・ホールド[1]	2.0		ns

注
1 コマンド＝SDCKE、$\overline{RAS}$、$\overline{CAS}$および$\overline{SDWE}$



注意
1 コマンド＝SDCKE、$\overline{MS_X}$、$\overline{RAS}$、$\overline{CAS}$、$\overline{SDWE}$、$\overline{DQM}$、およびSDA1O。
2 SDRAMコントローラは、次に書き込みが行われる読み出しにおいて、1 SDRAM CLKスリーステート・サイクル遅延（$t_{CK}/2$）を加えます。

図19．SDRAMインターフェース

シリアル・ポート

パラメータ		Min	Max	単位
外部クロック				
タイミング要求：				
t_{SFSE}	TCLK/RCLKまでのTFS/RFSのセットアップ[1]	4.0		ns
t_{HFSE}	TCLK/RCLK後のTFS/RFSのホールド[1]	4.0		ns
t_{SDRE}	RCLKまでの受信データ・セットアップ[1]	1.5		ns
t_{HDRE}	RCLK後の受信データ・ホールド[1]	4.0		ns
t_{SCLKW}	TCLK/RCLK幅	9.0		ns
t_{SCLK}	TCLK/RCLK周期	t_{CK}		ns
内部クロック				
タイミング要求：				
t_{SFSI}	TCLKまでのTFSセットアップ[2];RCLKまでのRFSセットアップ[1]	8.0		ns
t_{HFSI}	TCLK/RCLK後のTFS/RFSホールド[1]	1.0		ns
t_{SDRI}	RCLKまでの受信データ・セットアップ[1]	3.0		ns
t_{HDRI}	RCLK後の受信データ・ホールド[1]	3.0		ns
外部または内部クロック				
スイッチング特性：				
t_{DFSE}	RCLK後のRFS遅延（内部生成RFS）[2]		13.0	ns
t_{HOFSE}	RCLK後のRFSホールド（内部生成RFS）[2]	3.0		ns
外部クロック				
スイッチング特性：				
t_{DFSE}	TCLK後のTFS遅延（内部生成TFS）[2]		13.0	ns
t_{HOFSE}	TCLK後のTFSホールド（内部生成TFS）[2]	3.0		ns
t_{DDTE}	TCLK後の送信データ遅延[2]		12.5	ns
t_{HDTE}	TCLK後の送信データ・ホールド[2]	4.0		ns
内部クロック				
スイッチング特性：				
t_{DFSI}	TCLK後のTFS遅延（内部生成TFS）[2]		4.5	ns
t_{HOFSI}	TCLK後のTFSホールド（内部生成TFS）[2]	−1.5		ns
t_{DDTI}	TCLK後の送信データ遅延[2]		7.5	ns
t_{HDTI}	TCLK後の送信データ・ホールド[2]	0.0		ns
t_{SCLKIW}	TCLK/RCLK幅	$(t_{SCLK}/2)$ −2.5	$(t_{SCLK}/2)$ +2.5	ns
イネーブル＆スリーステート				
スイッチング特性：				
t_{DTENE}	外部TCLKからデータ・イネーブル[2]	5.0		ns
t_{DDTTE}	外部RCLKからデータ・ディスエーブル[2]		10.0	ns
t_{DTENI}	内部TCLKからデータ・イネーブル[2]	0.0		ns
t_{DDTTI}	内部TCLKからデータ・ディスエーブル[2]		3.0	ns
t_{DCLK}	CLKINからTCLK/RCLK遅延		18.0＋6 DT	ns
t_{DPTR}	CLKIN後のSPORTディスエーブル		14.0	ns
外部の遅いフレーム同期				
$t_{DDTLFSE}$	MCE=1、MFD=0で遅い外部TFSまたは外部RFSからのデータ遅延[3, 4]		10.5	ns
$t_{DTENLFSE}$	遅いFSまたはMCE=1、MFD=0からのデータ・イネーブル[3, 4]	3.5		ns
$t_{DDTLSCK}$	遅い外部TFSのためのTCLK/RCLKまたはMCE=1、MFD=0での外部RFSからのデータ遅延[3, 4]		12.0	ns
$t_{DTENLSCK}$	遅い外部FSのためのRCLK/TCLKまたはMCE=1、MFD=0からのデータイネーブル[3, 4]	4.5		ns

注

クロック・スピードnで、ふたつのデバイス間の通信が可能かどうかを判断するには、次に挙げる仕様を確認しなければなりません：1）フレーム同期遅延とフレーム同期のセットアップとホールド、2）データ遅延とデータのセットアップとホールド、3）SCLK幅。

1 サンプル・エッジからが基準になります。

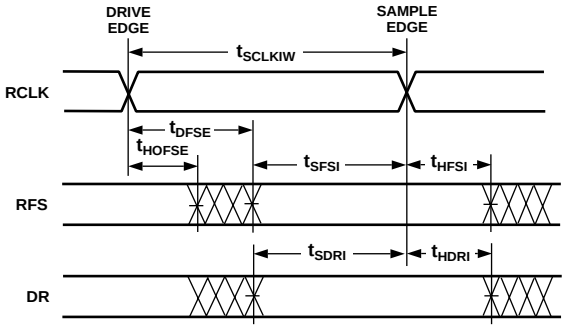
2 ドライブ・エッジからが基準になります。

3 MCE=1、TFSイネーブルとTFS有効は$t_{DDTLFSE}$と$t_{DDTENFS}$に従います。

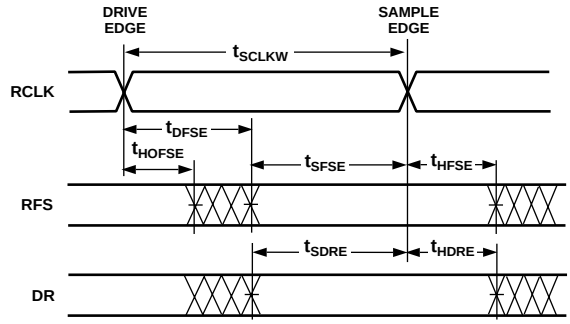
4 もし外部RFS/TFSセットアップが RCLK/TCLK＞ $t_{SCLK}/2$ ならば、$t_{DDTLSCK}$と$t_{DTENLSCK}$が適用されます。その他の場合は$t_{DDTLFSE}$と$t_{DTENLFS}$が適用されます。

*** I²Sモードでワードが選択されるタイミングは、TFS/RFSタイミングと同じです（通常フレーミングのみ）。**

データ受信－内部クロック

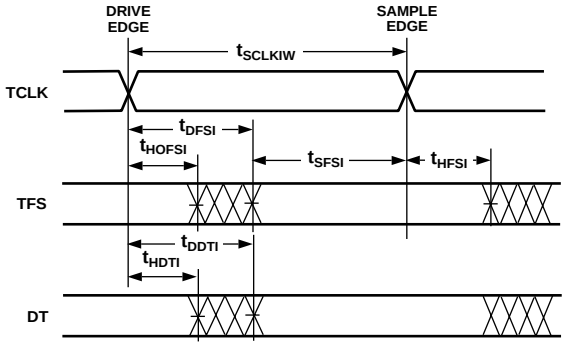


データ受信－外部クロック

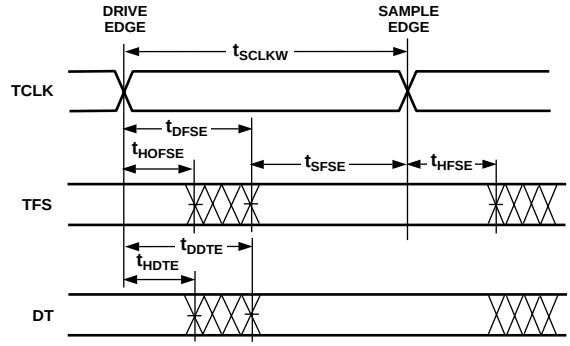


注意：RCLK、TCLKの立ち上がり、立ち下がりエッジのいずれかを、アクティブ・サンプリング･エッジとして使えます。

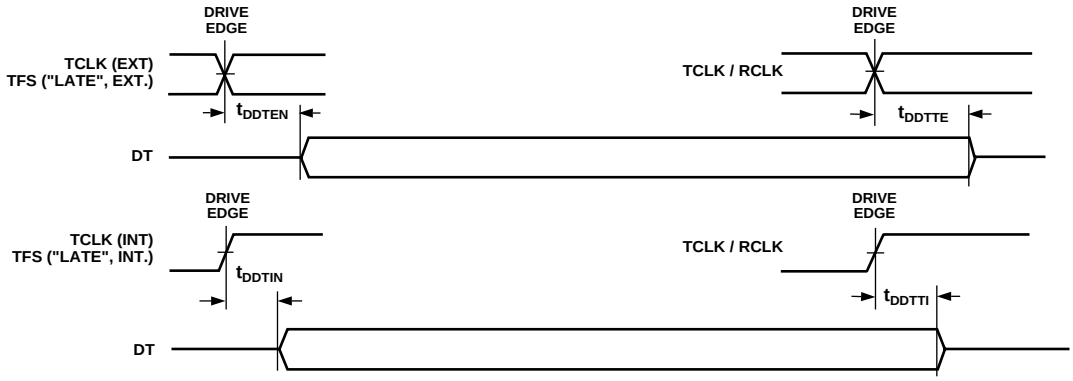
データ送信－内部クロック



データ送信－外部クロック



注意：RCLK、TCLKの立ち上がり、立ち下がりエッジのいずれかを、アクティブ・サンプリング･エッジとして使えます。



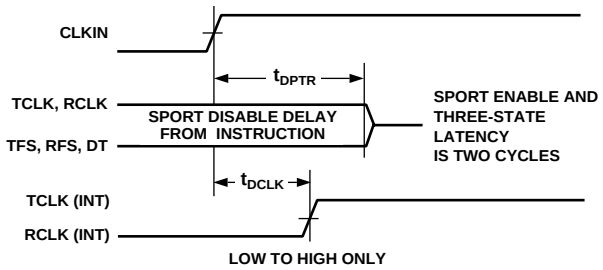
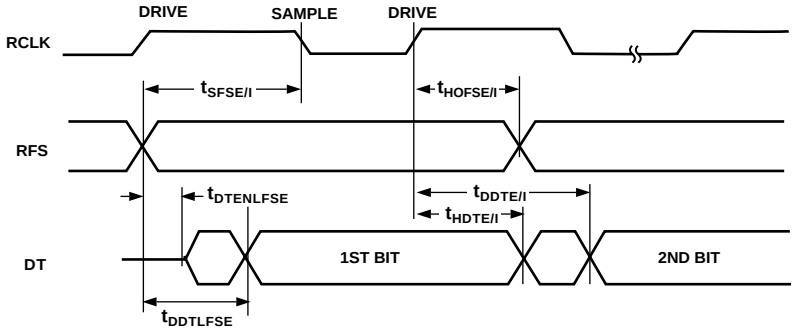


図20．シリアル･ポート

外部RFSでMCE＝1、MFD＝0



遅い外部TFS

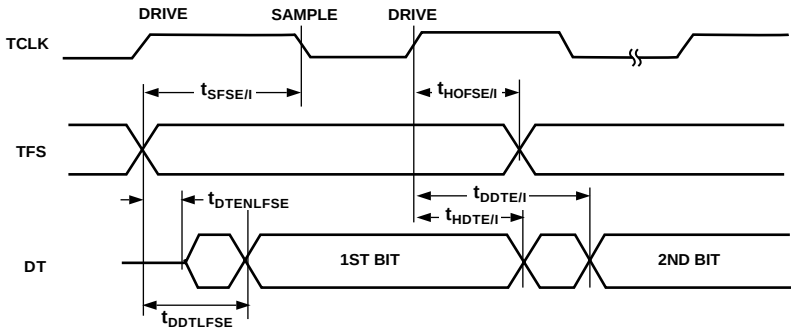
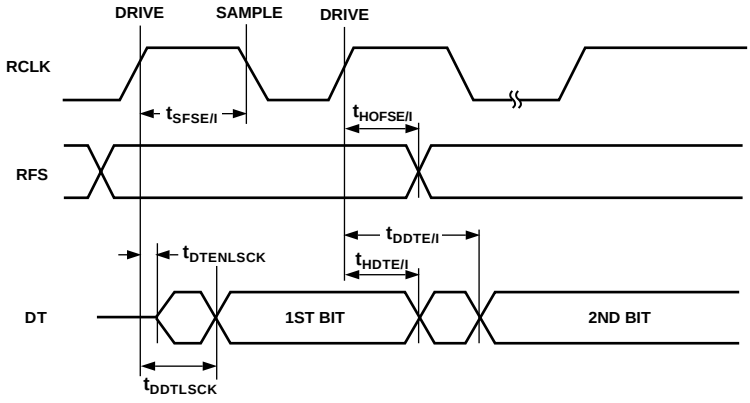


図21．外部の遅いフレーム同期（フレーム同期セットアップ＜t_{SCLK}/2）

外部RFSでMCE＝1、MFD＝0



遅い外部TFS

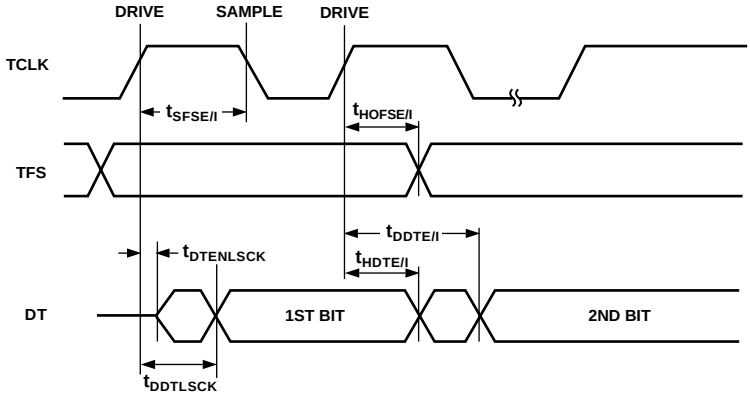


図22．外部の遅いフレーム同期（フレーム同期セットアップ＞t_{SCLK}/2）

JTAGテスト・アクセス・ポートとエミュレーション

パラメータ		Min	Max	単位
タイミング要求：				
t_{TCK}	TCK周期	t_{CK}		ns
t_{STAP}	TCK立上がりまでのTDI, TMSセットアップ	3.0		ns
t_{HTAP}	TCK立上がり後のTDI, TMSホールド	3.0		ns
t_{SSYS}	TCK立下がりまでのシステム入力セットアップ[1]	7.0		ns
t_{HSYS}	TCK立下がり後のシステム入力ホールド[1]	12.0		ns
t_{TRSTW}	$\overline{TRST}$パルス幅	4 t_{CK}		ns
スイッチング特性：				
t_{DTDO}	TCK立下がりからのTDO遅延		11.0	ns
t_{DSYS}	TCK立下がり後のシステム出力遅延[2]		15.0	ns

注
1 システム入力＝$DATA_{31-0}$、$ADDR_{23-0}$、$\overline{RD}$、$\overline{WR}$、ACK、$\overline{SBTS}$、$\overline{SW}$、$\overline{HBR}$、$\overline{HBG}$、$\overline{CS}$、$\overline{DMAR_1}$、$\overline{DMAR_2}$、$\overline{BR_{2-1}}$、ID_{1-0}、$\overline{IRQ_{2-0}}$、$FLAG_{11-0}$、DR0x、DR1x、TCLK0、TCLK1、RCLK0、RCLK1、TFS0、TFS1、RFS0、RFS1、BSEL、$\overline{BMS}$、CLKIN、$\overline{RESET}$、$SDCLK_0$、$\overline{RAS}$、$\overline{CAS}$、$\overline{SDWE}$、SDCKE、PWM_EVENTx。
2 システム出力＝$DATA_{31-0}$、$ADDR_{23-0}$、MS_{3-0}、$\overline{RD}$、$\overline{WR}$、ACK、$\overline{SW}$、$\overline{HBG}$、REDY、DMAG1、DMAG2、$\overline{BR_{2-1}}$、$\overline{CPA}$、$FLAG_{11-0}$、PWM_EVENTx、DT0x、DT1x、TCLK0、TCLK1、RCLK0、RCLK1、TFS0、TFS1、RFS0、RFS1、$\overline{BMS}$、SDCLK0、SDCLK1、$\overline{DQM}$、SDA10、$\overline{RAS}$、$\overline{CAS}$、$\overline{SDWE}$、SDCKE、BM、XTAL。

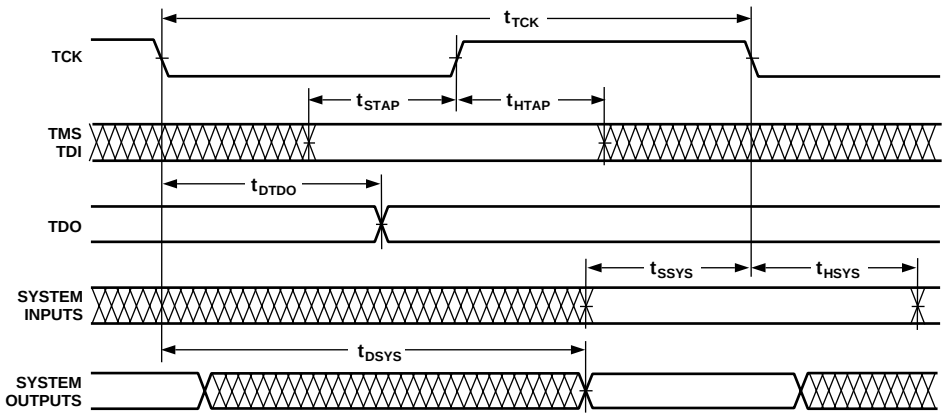


図23．JTAGテスト・アクセス・ポートとエミュレーション

出力ドライブ電流

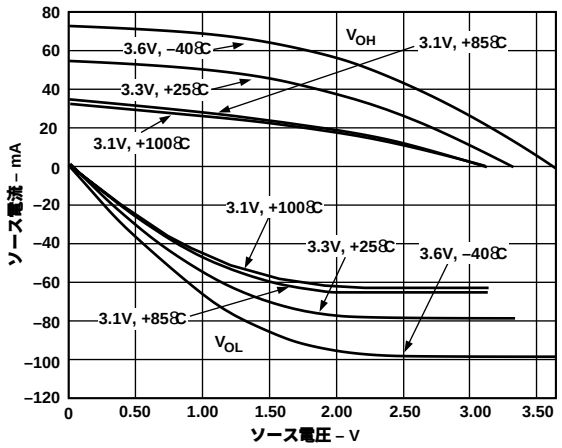


図24．典型的なドライブ電流

テスト条件

出力ディスエーブル時間

出力ピンがドライブを停止し、ハイ・インピーダンス状態になり、ハイまたはロー出力電圧からゆっくりと遷移を開始したとき、ディスエーブルになったと考えます。バス上の電圧がΔVだけ遷移する時間は、容量性負荷C_Lと負荷電流I_Lに依存します。この遷移時間は、以下の式より概算できます。

$$t_{DECAY} = \frac{C_L \times \Delta V}{I_L}$$

図25に示すように、出力ディスエーブル時間t_{DIS}は$t_{MEASURED}$とt_{DECAY}の差になります。$t_{MEASURED}$は、参照する信号がスイッチしてから計測するハイまたはローの出力電圧からΔVだけ遷移するまでの間隔です。t_{DECAY}はテスト負荷C_LとI_Lから計算され、ΔVは0.5 Vとしています。

出力イネーブル時間

出力ピンが、ハイ・インピーダンス状態からドライブを開始したとき、イネーブルになったと考えます。出力イネーブル時間t_{ENA}は、出力イネーブル図で示されるように、参照信号がハイまたはロー電圧レベルになった時から、出力が規定したハイやローの遷移点に達するまでの間隔を示します。もし（データ・バスのように）複数のピンがイネーブルにされたときには、最初にドライブを開始したピンの値が計測値になります。

システム・ホールド時間の計算の例

特定のシステムにおけるデータ出力ホールド時間を求めるためには、まず前述の式を使ってt_{DECAY}を計算します。ΔVは、ADSP-21065Lの出力電圧とホールド時間を要求しているデバイスの入力スレッシュホールドの差になるように選択します。典型的なΔVは0.4 Vです。C_Lは（データ線あたりの）バス容量の合計で、I_Lは（データ線あたりの）もれ電流やスリーステート電流の合計です。ホールド時間はt_{DECAY}に最小のディスエーブル時間（すなわち、書き込みサイクルではt_{DATRWH}）を加えたものです。

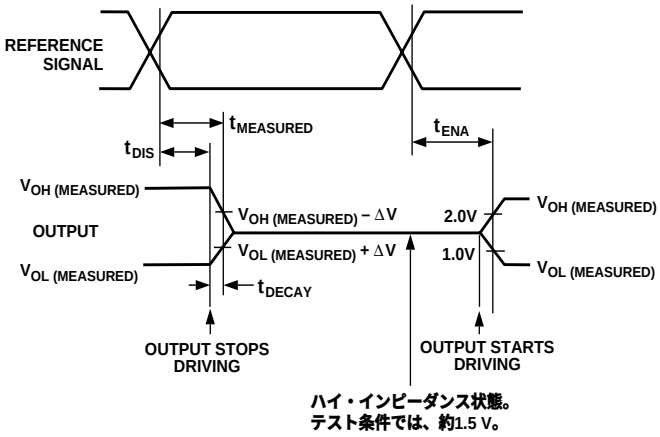


図25．出力イネーブル

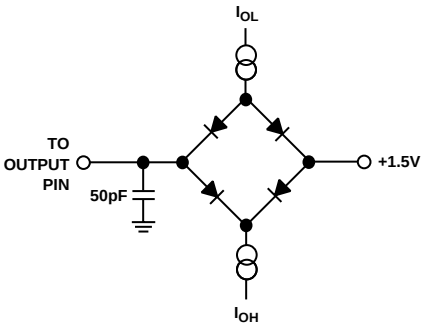


図26．AC測定のための等価デバイス負荷（すべての部分を含む）

図27．AC測定のためのリファレンスレベル（出力イネーブル／ディスエーブルを除く）

容量性負荷

出力遅延およびホールドは、すべてのピンに対して50pF の標準的容量性負荷を基準としています。遅延とホールドの仕様は、50 pF 以外の値の負荷に対しては1.8 ns/50 pFの割合で悪化します。図28と図29は、容量の値によってどのように出力の立上がり時間が変化するかを示しています。図30は、負荷容量によってどのように出力遅延とホールドが変化するかを示しています(このグラフや係数は出力ディスエーブル遅延には適用されないことに注意してください。前述の「テスト条件」の「出力ディスエーブル時間」を参照)。図28、29、30のグラフに示されていない範囲では、直線とは限りません。

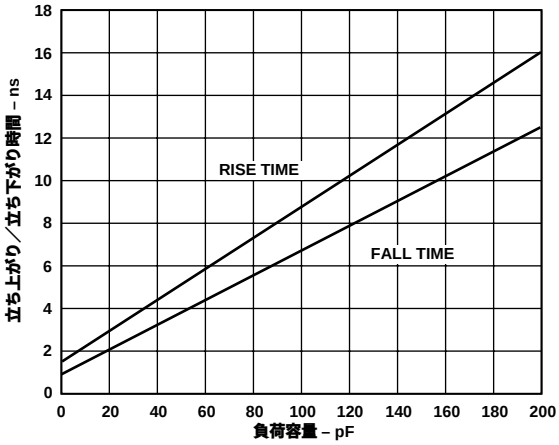


図28．代表的な立ち上がりと立ち下がり時間
(10～90% V_{DD})

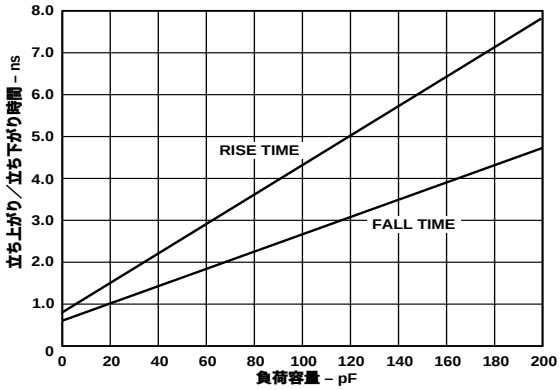


図29．代表的な立ち上がりと立ち下がり時間 (0.8 ～2.0 V)

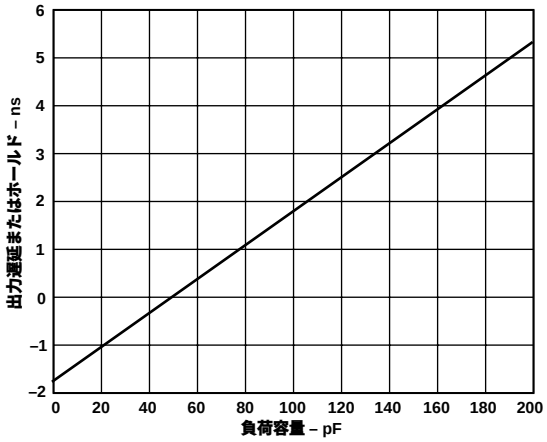


図30．代表的な出力遅延またはホールド

電力消費

合計としての電力消費は2つの部分、内部回路による消費分と外部出力ドライバのスイッチング分とからなります。内部電力消費は、命令の実行シークエンスや使われる演算データに依存します。内部電力消費は、以下の式で計算されます。

$$P_{INT}=I_{DDIN}\times V_{DD}$$

外部に関る部分の電力消費は、出力ピンのスイッチングにより起こります。その大きさは以下の事項に依存します。

－各サイクルでスイッチングされる出力ピンの数（O）
－ピンがスイッチングできる最高周波数（f）
－出力ピンの負荷容量（C）
－出力ピンの電圧振幅（V_{DD}）

これを使って、

$$P_{EXT}=O\times C\times V_{DD}^2\times f$$ と計算されます。

負荷容量にはプロセッサのパッケージ容量（C_{IN}）も含めてください。周波数fは負荷をハイにドライブし、再びローに戻すものを含みます。アドレスとデータ・ピンは、SDRAMバースト・モードでは、最大$1/t_{CK}$のレートでハイとローにドライブできます。

例：

以下の条件で、P_{EXT}を推測してみます。

－システムは1バンクの外部データ・メモリ（32ビット）を持つ。
－2つの1M×16のSDRAMチップを使用。各チップは3pFのコントロール信号負荷と4pFのデータ信号負荷を持つ。
－外部データ・メモリの書き込みはバースト・モードで$1/t_{CK}$サイクルに2回、つまり$1/t_{CK}$サイクル/秒のレートで発生する。ピンのスイッチングは50%とする。
－外部SDRAMクロック・レートは60 MHz（$2/t_{CK}$）。

以上の仮定からP_{EXT}は、各ドライブできるピンの種類によって計算されます。

表. V　外部電力消費の計算

ピンのタイプ	ピン数	ｽｲｯﾁﾝｸﾞ %	×C	×f	$\times V_{DD}^2$	$=P_{EXT}$
アドレス	11	50	×10.7	×30 MHz	×10.9 V	＝0.019 W
$\overline{MS0}$	1	0	×10.7	－	×10.9 V	＝0.000 W
$\overline{SDWE}$	1	0	×10.7	－	×10.9 V	＝0.000 W
データ	32	50	×7.7	×30 MHz	×10.9 V	＝0.042 W
SDRAM CLK	1	－	×10.7	×30 MHz	×10.9 V	＝0.007 W

P_{EXT}＝0.068W

代表的な電力消費は、以上の値に代表的な内部電力消費を加えれば求められます。（I_{DDIN}は電気的特性の項の計算を参照）：

$$P_{TOTAL}=P_{EXT}+(I_{DDIN}\times V_{DD})$$

P_{EXT}の最大値が発生する条件とP_{INT}の最大値が発生する条件が同じではない事に注意してください。最大のP_{INT}は、100%の出力ピンがオール1からオール0へスイッチングしているときには起こりえません。通常のアプリケーションでは、出力のスイッチングが、100%はおろか50%でさえ、同時に発生することはめったにありません。

環境条件

温度特性

ADSP-21065Lは208ピンのMQFPおよび、196ピンのMini－BGAパッケージで提供されています。

ADSP-21065Lはケース温度（T_{CASE}）が規定されています。T_{CASE}がオーバーにならないように、エア・フローが必要になることもあります。

$$T_{CASE}=T_{AMB}+(PD\times\theta_{CA})$$

T_{CASE}　＝ケース温度（パッケージの上面で計測）
PD　＝Wで表現した電力消費（この値はアプリケーションに依存します。PDの計算方法は「電力消費」で示しています）。
θ_{JC}　＝7.1℃/W（208ピンMQFP）
θ_{JC}　＝5.1℃/W（196ピンMini－BGA）

エア・フロー

表. VI　温度特性（208ピンMQFP）

（ﾘﾆｱ・ﾌｨｰﾄ／分）	0	100	200	400	600
θ_{CA}（℃/W）	24	20	19	17	13

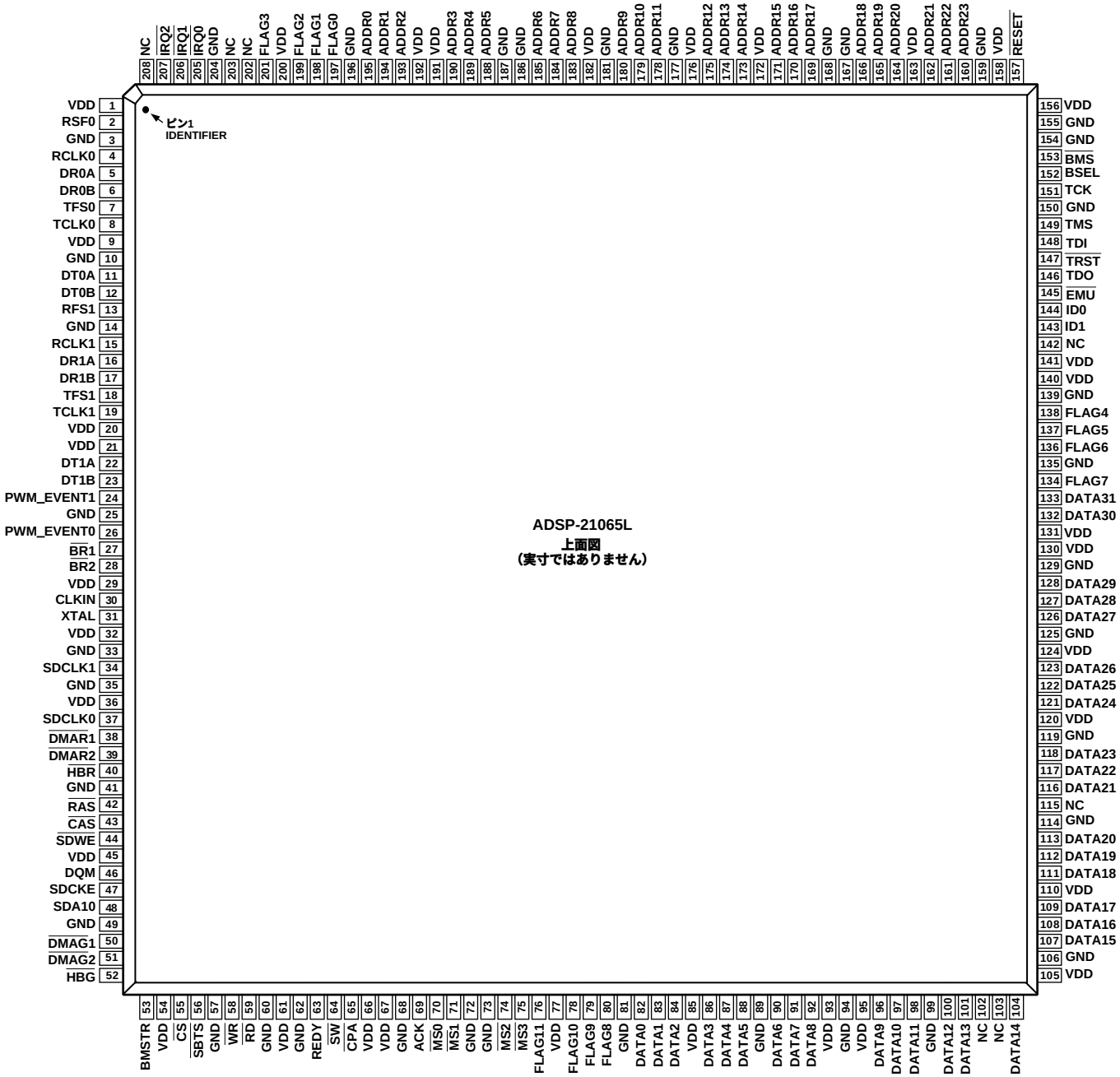
表. VII　温度特性（196ピンMini－BGA）

（ﾘﾆｱ・ﾌｨｰﾄ／分）	0	200	400
θ_{CA}（℃/W）	38	29	23

208ピンMQFPのピン構成

ﾋﾟﾝ番号	記号	ﾋﾟﾝ番号	記号	ﾋﾟﾝ番号	記号	ﾋﾟﾝ番号	記号	ﾋﾟﾝ番号	記号
1	VDD	43	$\overline{\text{CAS}}$	85	VDD	127	DATA28	169	ADDR17
2	RFS0	44	$\overline{\text{SDWE}}$	86	DATA3	128	DATA29	170	ADDR16
3	GND	45	VDD	87	DATA4	129	GND	171	ADDR15
4	RCLK0	46	DQM	88	DATA5	130	VDD	172	VDD
5	DR0A	47	SDCKE	89	GND	131	VDD	173	ADDR14
6	DR0B	48	SDA10	90	DATA6	132	DATA30	174	ADDR13
7	TFS0	49	GND	91	DATA7	133	DATA31	175	ADDR12
8	TCLK0	50	$\overline{\text{DMAG1}}$	92	DATA8	134	FLAG7	176	VDD
9	VDD	51	$\overline{\text{DMAG2}}$	93	VDD	135	GND	177	GND
10	GND	52	$\overline{\text{HBG}}$	94	GND	136	FLAG6	178	ADDR11
11	DT0A	53	BMSTR	95	VDD	137	FLAG5	179	ADDR10
12	DT0B	54	VDD	96	DATA9	138	FLAG4	180	ADDR9
13	RFS1	55	$\overline{\text{CS}}$	97	DATA10	139	GND	181	GND
14	GND	56	$\overline{\text{SBTS}}$	98	DATA11	140	VDD	182	VDD
15	RCLK1	57	GND	99	GND	141	VDD	183	ADDR8
16	DR1A	58	$\overline{\text{WR}}$	100	DATA12	142	NC	184	ADDR7
17	DR1B	59	$\overline{\text{RD}}$	101	DATA13	143	ID1	185	ADDR6
18	TFS1	60	GND	102	NC	144	ID0	186	GND
19	TCLK1	61	VDD	103	NC	145	$\overline{\text{EMU}}$	187	GND
20	VDD	62	GND	104	DATA14	146	TDO	188	ADDR5
21	VDD	63	REDY	105	VDD	147	$\overline{\text{TRST}}$	189	ADDR4
22	DT1A	64	$\overline{\text{SW}}$	106	GND	148	TDI	190	ADDR3
23	DT1B	65	$\overline{\text{CPA}}$	107	DATA15	149	TMS	191	VDD
24	PWM_EVENT1	66	VDD	108	DATA16	150	GND	192	VDD
25	GND	67	VDD	109	DATA17	151	TCK	193	ADDR2
26	PWM_EVENT0	68	GND	110	VDD	152	BSEL	194	ADDR1
27	$\overline{\text{BR1}}$	69	ACK	111	DATA18	153	$\overline{\text{BMS}}$	195	ADDR0
28	$\overline{\text{BR2}}$	70	$\overline{\text{MS0}}$	112	DATA19	154	GND	196	GND
29	VDD	71	$\overline{\text{MS1}}$	113	DATA20	155	GND	197	FLAG0
30	CLKIN	72	GND	114	GND	156	VDD	198	FLAG1
31	XTAL	73	GND	115	NC	157	$\overline{\text{RESET}}$	199	FLAG2
32	VDD	74	$\overline{\text{MS2}}$	116	DATA21	158	VDD	200	VDD
33	GND	75	$\overline{\text{MS3}}$	117	DATA22	159	GND	201	FLAG3
34	SDCLK1	76	FLAG11	118	DATA23	160	ADDR23	202	NC
35	GND	77	VDD	119	GND	161	ADDR22	203	NC
36	VDD	78	FLAG10	120	VDD	162	ADDR21	204	GND
37	SDCLK0	79	FLAG9	121	DATA24	163	VDD	205	$\overline{\text{IRQ0}}$
38	$\overline{\text{DMAR1}}$	80	FLAG8	122	DATA25	164	ADDR20	206	$\overline{\text{IRQ1}}$
39	$\overline{\text{DMAR2}}$	81	GND	123	DATA26	165	ADDR19	207	$\overline{\text{IRQ2}}$
40	$\overline{\text{HBR}}$	82	DATA0	124	VDD	166	ADDR18	208	NC
41	GND	83	DATA1	125	GND	167	GND		
42	$\overline{\text{RAS}}$	84	DATA2	126	DATA27	168	GND		

208ピンMQFPのピン配置

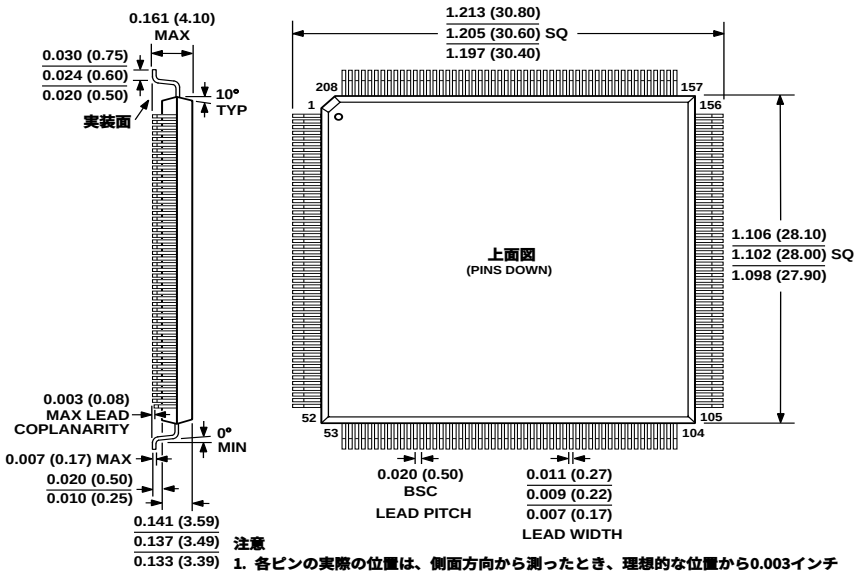


NC = 接続なし

外形寸法

サイズはインチと（mm）で示します。

208ピン・プラスチック・クワッド・フラットパック（MQFP）



注意

1. 各ピンの実際の位置は、側面方向から測ったとき、理想的な位置から0.003インチ(0.08mm)以内になります。
2. 特に指示のない限り、中央の数字は代表値です。
3. 208ピンMQFPはメートル法で作られたパッケージです。インチ表示は近似値ですから、ボードの設計用には使用しないでください。

119ピンMini-BGAのピン構成

ピン番号	記号	ピン番号	記号	ピン番号	記号	ピン番号	記号	ピン番号	記号
A1	NC1	B1	DR0A	C1	TCLK0	D1	RCLK1	E1	TFS1
A2	NC2	B2	RFS0	C2	RCLK0	D2	TFS0	E2	DT0B
A3	FLAG2	B3	$\overline{\text{IRQ0}}$	C3	$\overline{\text{IRQ2}}$	D3	DR0B	E3	DT0A
A4	ADDR0	B4	FLAG0	C4	FLAG3	D4	$\overline{\text{IRQ1}}$	E4	RFS1
A5	ADDR3	B5	ADDR2	C5	ADDR1	D5	FLAG1	E5	VDD
A6	ADDR6	B6	ADDR5	C6	ADDR4	D6	VDD	E6	GND
A7	ADDR7	B7	ADDR9	C7	ADDR10	D7	VDD	E7	GND
A8	ADDR8	B8	ADDR12	C8	ADDR13	D8	VDD	E8	GND
A9	ADDR11	B9	ADDR15	C9	ADDR16	D9	VDD	E9	GND
A10	ADDR14	B10	ADDR19	C10	ADDR20	D10	VDD	E10	VDD
A11	ADDR17	B11	ADDR21	C11	ADDR22	D11	$\overline{\text{BMS}}$	E11	ID0
A12	ADDR18	B12	ADDR23	C12	$\overline{\text{RESET}}$	D12	TMS	E12	TDI
A13	NC8	B13	GND	C13	BSEL	D13	$\overline{\text{TRST}}$	E13	ID1
A14	NC7	B14	TCK	C14	TDO	D14	$\overline{\text{EMU}}$	E14	FLAG4
F1	TCLK1	G1	PWM_EVENT1	H1	PWM_EVENT0	J1	CLKIN	K1	$\overline{\text{DMAR1}}$
F2	DR1B	G2	DT1B	H2	$\overline{\text{BR1}}$	J2	XTAL	K2	SDCLK0
F3	DR1A	G3	DT1A	H3	$\overline{\text{BR2}}$	J3	SDCLK1	K3	$\overline{\text{HBR}}$
F4	VDD	G4	VDD	H4	VDD	J4	VDD	K4	$\overline{\text{SDWE}}$
F5	GND	G5	GND	H5	GND	J5	GND	K5	VDD
F6	GND	G6	GND	H6	GND	J6	GND	K6	GND
F7	GND	G7	GND	H7	GND	J7	GND	K7	GND
F8	GND	G8	GND	H8	GND	J8	GND	K8	GND
F9	GND	G9	GND	H9	GND	J9	GND	K9	GND
F10	GND	G10	GND	H10	GND	J10	GND	K10	VDD
F11	VDD	G11	VDD	H11	VDD	J11	VDD	K11	DATA19
F12	FLAG6	G12	DATA31	H12	DATA28	J12	DATA24	K12	DATA21
F13	FLAG5	G13	DATA30	H13	DATA27	J13	DATA25	K13	DATA20
F14	FLAG7	G14	DATA29	H14	DATA26	J14	DATA23	K14	DATA22
L1	$\overline{\text{DMAR2}}$	M1	$\overline{\text{RAS}}$	N1	DQM	P1	NC3		
L2	$\overline{\text{CAS}}$	M2	SDCKE	N2	$\overline{\text{HBG}}$	P2	NC4		
L3	SDA10	M3	$\overline{\text{DMAG1}}$	N3	BMSTR	P3	GND		
L4	$\overline{\text{DMAG2}}$	M4	$\overline{\text{CS}}$	N4	$\overline{\text{SBTS}}$	P4	$\overline{\text{WR}}$		
L5	VDD	M5	$\overline{\text{RD}}$	N5	REDY	P5	$\overline{\text{SW}}$		
L6	VDD	M6	$\overline{\text{CPA}}$	N6	GND	P6	$\overline{\text{MS0}}$		
L7	VDD	M7	ACK	N7	$\overline{\text{MS1}}$	P7	$\overline{\text{MS2}}$		
L8	VDD	M8	FLAG10	N8	FLAG11	P8	$\overline{\text{MS3}}$		
L9	VDD	M9	DATA2	N9	DATA1	P9	FLAG9		
L10	DATA8	M10	DATA5	N10	DATA4	P10	FLAG8		
L11	DATA13	M11	DATA9	N11	DATA7	P11	DATA0		
L12	DATA16	M12	DATA12	N12	DATA10	P12	DATA3		
L13	DATA17	M13	DATA14	N13	DATA11	P13	DATA6		
L14	DATA18	M14	DATA15	N14	NC6	P14	NC5		

196ピンMini-BGAのピン構成

14	13	12	11	10	9	8	7	6	5	4	3	2	1	
NC7	NC8	ADDR18	ADDR17	ADDR14	ADDR11	ADDR8	ADDR7	ADDR6	ADDR3	ADDR0	FLAG2	NC2	NC1	A
TCK	GND	ADDR23	ADDR21	ADDR19	ADDR15	ADDR12	ADDR9	ADDR5	ADDR2	FLAG0	$\overline{\text{IRQ0}}$	RFS0	DR0A	B
TDO	BSEL	$\overline{\text{RESET}}$	ADDR22	ADDR20	ADDR16	ADDR13	ADDR10	ADDR4	ADDR1	FLAG3	$\overline{\text{IRQ2}}$	RCLK0	TCLK0	C
$\overline{\text{EMU}}$	$\overline{\text{TRST}}$	TMS	$\overline{\text{BMS}}$	VDD	VDD	VDD	VDD	VDD	FLAG1	$\overline{\text{IRQ1}}$	DR0B	TFS0	RCLK1	D
FLAG4	ID1	TDI	ID0	VDD	GND	GND	GND	GND	VDD	RFS1	DT0A	DT0B	TFS1	E
FLAG7	FLAG5	FLAG6	VDD	GND	GND	GND	GND	GND	GND	VDD	DR1A	DR1B	TCLK1	F
DATA29	DATA30	DATA31	VDD	GND	GND	GND	GND	GND	GND	VDD	DT1A	DT1B	PWM_ EVENT1	G
DATA26	DATA27	DATA28	VDD	GND	GND	GND	GND	GND	GND	VDD	$\overline{\text{BR2}}$	$\overline{\text{BR1}}$	PWM_ EVENT0	H
DATA23	DATA25	DATA24	VDD	GND	GND	GND	GND	GND	GND	VDD	SDCLK1	XTAL	CLKIN	J
DATA22	DATA20	DATA21	DATA19	VDD	GND	GND	GND	GND	VDD	$\overline{\text{SDWE}}$	$\overline{\text{HBR}}$	SDCLK0	$\overline{\text{DMAR1}}$	K
DATA18	DATA17	DATA16	DATA13	DATA8	VDD	VDD	VDD	VDD	VDD	$\overline{\text{DMAG2}}$	SDA10	$\overline{\text{CAS}}$	$\overline{\text{DMAR2}}$	L
DATA15	DATA14	DATA12	DATA9	DATA5	DATA2	FLAG10	ACK	$\overline{\text{CPA}}$	$\overline{\text{RD}}$	$\overline{\text{CS}}$	$\overline{\text{DMAG1}}$	SDCKE	$\overline{\text{RAS}}$	M
NC6	DATA11	DATA10	DATA7	DATA4	DATA1	FLAG11	$\overline{\text{MS1}}$	GND	REDY	$\overline{\text{SBTS}}$	BMSTR	$\overline{\text{HBG}}$	DQM	N
NC5	DATA6	DATA3	DATA0	FLAG8	FLAG9	$\overline{\text{MS3}}$	$\overline{\text{MS2}}$	$\overline{\text{MS0}}$	$\overline{\text{SW}}$	$\overline{\text{WR}}$	GND	NC4	NC3	P

オーダーガイド

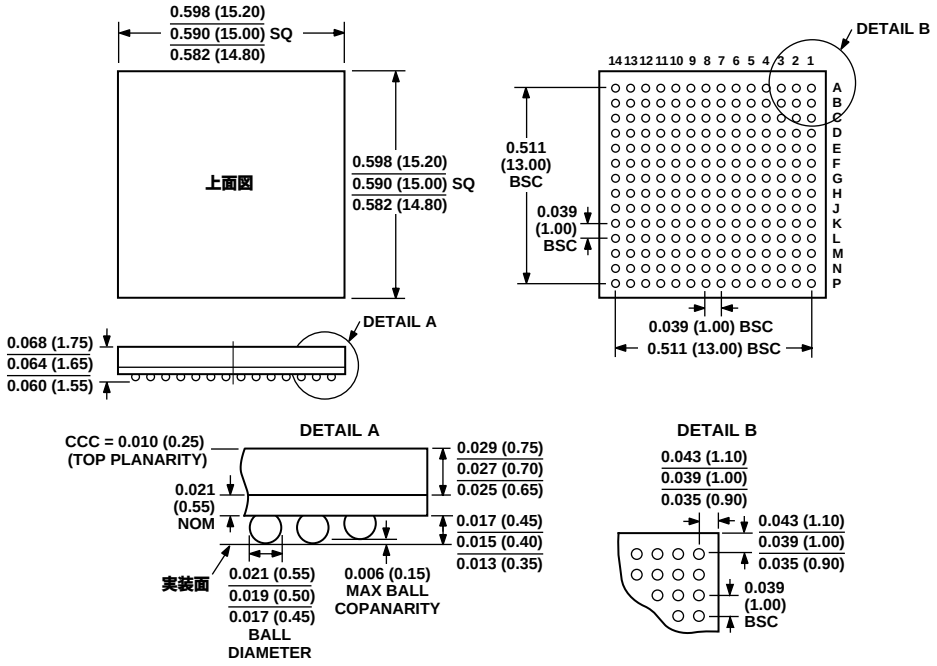
製品番号	ケース温度範囲	命令レート	内部SRAM	動作電圧	パッケージ・オプション
ADSP-21065LKS-240	0 ～ +85℃	60 MHz	544 Kbit	3.3 V	MQFP
ADSP-21065LCS-240	−40 ～ +100℃	60 MHz	544 Kbit	3.3 V	MQFP
ADSP-21065LKCA-240	0 ～ +85℃	60 MHz	544 Kbit	3.3 V	Mini-BGA
ADSP-21065LKS-264	0 ～ +85℃	66 MHz	544 Kbit	3.3 V	MQFP

D59133-2.7-11/99, 1A

外形寸法

サイズはインチと（mm）で示します。

196ピンMini-BGA



注意

1. **各ボールグリッドの実際の位置は、パッケージの端に対して、理想的な位置から0.008インチ(0.20mm)以内になります。各ピン（ボール）は、ボールグリッドに対して、0.003インチ（0.075mm）以内になります。**
2. **サイズはインチとmmで表示してありますが、本品は、メートル法で作られており、インチ表示は参考値です。ボードの設計用にはmm表示のみをご使用ください。本パッケージのソルダーボールのマトリックスは0.551×0.551インチ(14×14mm)です。**

PRINTED IN JAPAN

仕様は予告なしに変更されることがあります。